

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hideomi Suzawa et al.                      Art Unit : Unknown  
Serial No. : Not Assigned Yet                      Examiner : Unknown  
Filed : May 11, 2001  
Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s): Japan Application No. JP 2000-140695, filed May 12, 2000, and JP 2000-159251, filed May 29, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date:

May 11, 2001

William Hare

William D. Hare  
Reg. No. 44,739

Fish & Richardson P.C.  
601 Thirteenth Street, NW  
Washington, DC 20005  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC872 U.S. PTO  
09/852672  
05/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月29日

出 願 番 号

Application Number:

特願2000-159251

出 願 人

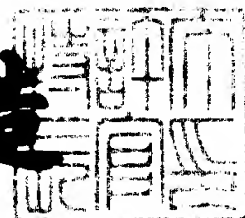
Applicant (s):

株式会社半導体エネルギー研究所

2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3026100

【書類名】 特許願

【整理番号】 P004945

【提出日】 平成12年 5月29日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 荒尾 達也

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 須沢 英臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小野 幸治

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に、第 1 の幅を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成する第 3 の工程と、

前記第 2 の導電層をエッチングして、前記第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の電極をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、

前記第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 6 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 2 の幅を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 7 の工程と、

を有する半導体装置の作製方法。

【請求項 2】

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に、第 1 の幅を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成する第 3 の工程と、

前記第 2 の導電層をエッチングして、前記第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域及び低濃度不純物領域を形成する第 5 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 2 の幅を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 6 の工程と、

を有する半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、前記第 2 の幅は、前記第 1 の幅より狭いことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記第 3 の幅は、前記第 1 の幅より狭く、且つ、前記第 2 の幅より広いことを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記不純物元素は、半導体に n 型または p 型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記第 3 の工程は、  
前記絶縁膜上に、第 1 の導電膜と第 2 の導電膜を積層形成した後、  
前記第 1 の導電膜に第 1 のエッチング処理を行って第 2 の導電層を形成し、  
前記第 2 の導電膜に第 2 のエッチング処理を行って第 1 の導電層を形成して、第 1 の幅を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成したことを特徴とする半導体装置の作製方法。

【請求項 7】

絶縁表面上に半導体層を形成する第 1 の工程と、  
前記半導体層上に絶縁膜を形成する第 2 の工程と、  
前記絶縁膜上に第 1 の導電膜と第 2 の導電膜を積層形成する第 3 の工程と、  
第 1 の幅を有する第 2 の導電層を形成する第 4 の工程と、  
前記第 1 の幅を有する第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、  
前記第 1 の導電膜をエッチングして、前記第 2 の幅を有する第 1 の導電層と、第 3 の幅を有する第 2 の導電層との積層からなる第 1 の電極を形成する第 6 の工

程と、

前記第 2 の導電層をエッチングして、前記第 2 の幅を有する第 1 の導電層と、第 4 の幅を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 7 の工程と、

前記第 4 の幅を有する第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 8 の工程と、

前記第 1 の導電層をエッチングして、第 5 の幅を有する第 1 の導電層と、前記第 4 の幅を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 9 の工程と、

を有する半導体装置の作製方法。

【請求項 8】

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に、第 1 の幅を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成する第 3 の工程と、

前記第 2 の導電層をエッチングして、前記第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 5 の工程と、

前記第 2 の電極をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 6 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 2 の幅を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 7 の工程と、

を有する半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一に記載された前記第 3 の電極を形成する工程の後

に、

前記第 3 の電極を覆う第 1 の層間絶縁膜を形成する工程と、

前記半導体層中の不純物元素を活性化する第 1 の熱処理を行う工程と、

前記第 1 の層間絶縁膜を覆う第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜を形成した後、前記第 1 の熱処理より低い温度の第 2 の熱処理を行う工程と、

を有する半導体装置の作製方法。

【請求項 1 0】

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に第 1 の導電膜と第 2 の導電膜を積層形成する第 3 の工程と、

第 1 の幅を有する第 2 の導電層を形成する第 4 の工程と、

前記第 1 の幅を有する第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、

前記第 2 の導電層をエッチングして、前記第 2 の幅を有する第 2 の導電層を形成する第 6 の工程と、

前記第 2 の幅を有する第 2 の導電層をマスクとして、前記第 1 の導電膜を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 7 の工程と、

前記第 1 の導電膜をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 2 の幅を有する第 2 の導電層との積層からなる電極を形成する第 8 の工程と、  
を有する半導体装置の作製方法。

【請求項 1 1】

請求項 1 0 に記載された前記第 8 工程の後に、

前記第 3 の電極を覆う第 1 の層間絶縁膜を形成する第 9 工程と、

前記半導体層中の不純物元素を活性化する第 1 の熱処理を行う第 1 0 工程と、

前記第 1 の層間絶縁膜を覆う第 2 の層間絶縁膜を形成する第 1 1 工程と、

前記第 1 の熱処理より低い温度の第 2 の熱処理を行う第 1 2 工程と、

を有する半導体装置の作製方法。



【請求項 1 2】

請求項 1 乃至 1 1 のいずれかに記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯型情報端末、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示パネル、E L（エレクトロルミネッセンス）表示装置、E C 表示装置等に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成し、この T F T で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、E L 表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にした T F T（以下、ポリシリコン T F T と記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0 0 0 4】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、C M O S 回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの画素回路を制御するための

駆動回路が一枚の基板上に形成される。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFT（画素TFT）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【 0 0 0 6 】

画素TFTはnチャンネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【 0 0 0 7 】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャンネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【 0 0 0 8 】

また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造は

オフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

【0009】

【発明が解決しようとする課題】

従来では、LDD構造を備えたTFTやGOLD構造を備えたTFTを形成しようとする、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0010】

本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0011】

【課題を解決するための手段】

製造コストの低減および歩留まりを実現するためには、工程数を削減することが一つの手段として考えられる。具体的には、TFTの製造に要するフォトマスクの枚数を削減する。フォトマスクはフォトリソグラフィーの技術において、エッチング工程際、マスクとするレジストパターンを基板上に形成するために用いる。従って、フォトマスクを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィーの工程においても、レジスト塗布、プレバーク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0012】

本発明は、フォトマスクの枚数を従来と比較しさらに削減し、以下に示すよう

な作製工程で T F T を作製することを特徴としている。なお、本発明の作製方法の一例を図 1 及び図 2 に示した。

【 0 0 1 3 】

本明細書で開示する本発明の作製方法は、  
絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に、第 1 の幅 ( W 1 ) を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成する第 3 の工程と、

前記第 2 の導電層をエッチングして、前記第 1 の幅 ( W 1 ) を有する第 1 の導電層と、第 2 の幅 ( W 2 ) を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の電極をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、

前記第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 6 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅 ( W 3 ) を有する第 1 の導電層と、前記第 2 の幅 ( W 2 ) を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 7 の工程と、

を有する半導体装置の作製方法である。

【 0 0 1 4 】

上記作製方法において、第 1 の導電膜及び第 2 の導電膜を形成する材料としては、耐熱性導電性材料を用い、代表的にはタングステン ( W ) 、タンタル ( T a ) 、チタン ( T i ) から選ばれた元素、または前記元素を成分とする化合物或いは合金から形成する。

【 0 0 1 5 】

また、上記第 3 の工程において、第 1 の電極の形状は、端部において、端部から内側に向かって徐々に厚さが増加する形状、いわゆるテーパ形状とする。

【 0 0 1 6 】

耐熱性導電性材料からなる第 1 の導電膜及び第 2 の導電膜を高速でかつ精度良

くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ (Inductively Coupled Plasma: ICP) を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大面积化にも対応できる。

## 【0017】

ICPを用いたプラズマ処理方法やプラズマ処理装置に関しては特開平9-293600号公報で開示されている。同公報では、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して4本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いている。ここで、各コイル部分の1本当たりの長さは、高周波の波長の $1/4$ 倍としている。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。

## 【0018】

このようなマルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、テーパ部の角度（テーパ角）は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパ部の角度を $5 \sim 45^\circ$ まで変化させることができる。

## 【0019】

また、上記第4の工程により、ICPを用いたエッチング装置を用いて、第2の導電層を選択的にエッチングして、前記第2の電極を構成する第2の導電層17cの第2の幅(W2)を、前記第1の幅(W1)より狭くする。また、前記第2の電極における前記第1の導電層の端部におけるテーパ角は、前記第2の導電層の端部におけるテーパ角より小さくする。

## 【0020】

また、上記第5の工程において、高濃度不純物領域20、21を自己整合的に形成するために、イオン化した不純物元素を、電界で加速してゲート絶縁膜（本発明では、第1の電極と半導体層とに密接してその両者の間に設けられる絶縁膜と、該絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称す

る)を通過させて、半導体層に添加する方法を用いる。本明細書中において、この不純物元素の添加方法を便宜上「スルードープ法」と呼ぶ。

#### 【0021】

なお、本明細書において、不純物元素とは、半導体にn型を付与する不純物元素(リン、ヒ素)またはp型を付与する不純物元素(ボロン)のことを指している。

#### 【0022】

また、続いて前記第6の工程でスルードープ法を用い、第2の電極を構成する第1の導電層のテーパー形状となっている部分(テーパー部)の下方に存在する半導体層に、不純物元素の濃度がチャネル形成領域から遠ざかるにつれて連続的に高くなる低濃度不純物領域24、25を自己整合的に形成することを特徴としている。ただし、連続的に高くなっているといっても、低濃度不純物領域における濃度差は、ほとんど生じていない。

#### 【0023】

このように緩やかな濃度勾配を有する低濃度不純物領域24、25を自己整合的に形成するために、イオン化した不純物元素を、電界で加速して第2の電極を構成する第1の導電層のテーパー部とゲート絶縁膜を通過させて、半導体層に添加する。こうして、第2の電極を構成する第1の導電層のテーパー部にスルードープ法を行うことで、第1の導電層のテーパー部の厚さによって、半導体層に添加される不純物元素の濃度を制御することが可能となり、TFETのチャネル長方向に渡って不純物元素の濃度が徐々に変化する低濃度不純物領域24、25を形成することができる。

#### 【0024】

なお、上記スルードープを行った第6の工程直後において、低濃度不純物領域24、25は、ゲート絶縁膜を介して第2の電極を構成する第1の導電層のテーパー部と重なっている。

#### 【0025】

また、上記第7の工程により、第1の導電層のテーパー部を選択的にエッチングする。第7の工程のエッチングは、実施者が適宜RIE法を用いるエッチング

、 I C P 法を用いるエッチング、または I C P 法を用いた後に R I E 法を用いるエッチングを行えばよい。この第 7 の工程により、前記第 3 の電極における前記第 1 の導電層のテーパ角は、前記第 2 の電極における前記第 1 の導電層のテーパ角とほぼ同じとなる。また、前記第 3 の幅 (W 3) は、前記第 1 の幅 (W 1) より狭く、且つ、前記第 2 の幅 (W 2) より広くする。ここでは、前記第 7 の工程と同時に前記絶縁膜が除去されて高濃度不純物領域の一部が露呈した例を示したが、特に限定されず、薄く残っていてもよい。

## 【 0 0 2 6 】

なお、上記 7 の工程直後において、低濃度不純物領域は、ゲート絶縁膜を介して第 3 の電極を構成する第 1 の導電層のテーパ部と重なる領域 2 5 a と、ゲート絶縁膜を介して第 3 の電極を構成する第 1 の導電層のテーパ部と重ならない領域 2 5 b とに区別することができる。

## 【 0 0 2 7 】

また、第 3 の幅 (W 3) は、エッチング条件を適宜変更することで自由に調節できる。従って、本発明は、上記第 7 の工程におけるエッチング条件を適宜変更することで、第 3 の電極に重なる低濃度不純物領域の幅と、第 3 の電極に重ならない低濃度不純物領域の幅とを自由に調節できる。ただし、低濃度不純物領域は、この第 3 の電極の幅に関係なく、緩やかな濃度勾配を有しており、第 3 の電極と重なっている領域は、電界集中の緩和が達成されてホットキャリアによる防止ができるとともに、第 3 の電極と重なっていない領域は、オフ電流値を抑えることができる。

## 【 0 0 2 8 】

上記作製方法において、第 1 の工程に第 1 のフォトリソグラフィ工程を行い、第 3 の工程に第 2 のフォトリソグラフィ工程を行っているが、その他の工程 (第 4 ~ 第 7 の工程) では、第 2 のフォトリソグラフィ工程で使用したレジストマスクをそのまま使用しているため、フォトリソグラフィ工程を行っていない。

## 【 0 0 2 9 】

従って、上記第 7 の工程の後、形成される層間絶縁膜にコンタクトホールを形

成するための第3のフォトリソグラフィ工程と、半導体層に達するソース電極またはドレイン電極を形成するための第4のフォトリソグラフィ工程を行うことで、TFTを作製することができる。

【0030】

このようにフォトマスク数を削減しながらも、本発明はTFT構成を適切なものとすることができた。本発明の構成を以下に示す。

【0031】

本発明は、図3に示すように、チャネル形成領域26とドレイン領域23との間に設けられる低濃度不純物領域25において、ドレイン領域に近づくにつれて徐々に導電性を付与する不純物元素の濃度が高くなるような濃度勾配を持たせる点と、緩やかな濃度勾配を有する低濃度不純物領域25において、ゲート電極18cと重なる領域25a（GOLD領域）と、ゲート電極と重ならない領域25b（LDD領域）とを備えている点である。

【0032】

なお、本明細書では、絶縁膜を介してゲート電極と重なる低濃度不純物領域をGOLD領域と呼び、ゲート電極と重ならない低濃度不純物領域をLDD領域と呼ぶ。

【0033】

また、上記工程を用いて形成されたTFTを用いて液晶表示装置やEL表示装置に代表される電気光学装置を形成することを特徴としている。

【0034】

また、上記作製工程では、高濃度のドーピングを第5の工程で行い、低濃度のドーピングを第6の工程で行う例を示したが、低濃度のドーピングを第5の工程で行い、高濃度のドーピングを第6の工程で行ってもよい。この場合、本発明の作製方法は、

絶縁表面上に半導体層を形成する第1の工程と、

前記半導体層上に絶縁膜を形成する第2の工程と、

前記絶縁膜上に、第1の幅（W1）を有する第1の導電層と、第2の導電層との積層からなる第1の電極を形成する第3の工程と、



前記第 2 の導電層をエッチングして、前記第 1 の幅 (W 1) を有する第 1 の導電層と、第 2 の幅 (W 2) を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 5 の工程と、

前記第 2 の電極をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 6 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅 (W 3) を有する第 1 の導電層と、前記第 2 の幅 (W 2) を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 7 の工程と、

を有する半導体装置の作製方法となる。

【 0 0 3 5 】

また、本発明の作製方法の一例を図 4 及び図 5 に示した。

【 0 0 3 6 】

図 4 及び図 5 に示したように、本明細書で開示する他の発明は、

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に、第 1 の幅 (W 1) を有する第 1 の導電層と、第 2 の導電層との積層からなる第 1 の電極を形成する第 3 の工程と、

前記第 2 の導電層をエッチングして、前記第 1 の幅 (W 1) を有する第 1 の導電層と、第 2 の幅 (W 2) を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 4 の工程と、

前記第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域及び低濃度不純物領域を形成する第 5 の工程と、

前記第 1 の導電層をエッチングして、第 3 の幅 (W 3) を有する第 1 の導電層と、前記第 2 の幅 (W 2) を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 6 の工程と、

を有する半導体装置の作製方法である。

【 0 0 3 7 】

このように、実施者が適宜、ドーピング条件を調節することにより、一回のドーピング処理によって、低濃度不純物領域及び高濃度不純物領域を形成する工程とすることも可能である。

【 0 0 3 8 】

また、本発明の作製方法の一例を図 6 に示した。

【 0 0 3 9 】

図 4 ( A ) ～図 4 ( C ) 及び図 6 に示したように、本明細書で開示する他の発明は、

絶縁表面上に半導体層を形成する第 1 の工程と、

前記半導体層上に絶縁膜を形成する第 2 の工程と、

前記絶縁膜上に第 1 の導電膜と第 2 の導電膜を積層形成する第 3 の工程と、

第 1 の幅 ( X 1 ) を有する第 2 の導電層を形成する第 4 の工程と、

前記第 1 の幅 ( X 1 ) を有する第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、

前記第 1 の導電膜をエッチングして、前記第 2 の幅 ( X 2 ) を有する第 1 の導電層と、第 3 の幅 ( X 3 ) を有する第 2 の導電層との積層からなる第 1 の電極を形成する第 6 の工程と、

前記第 2 の導電層をエッチングして、前記第 2 の幅 ( X 2 ) を有する第 1 の導電層と、第 4 の幅 ( X 4 ) を有する第 2 の導電層との積層からなる第 2 の電極を形成する第 7 の工程と、

前記第 4 の幅 ( X 4 ) を有する第 2 の導電層をマスクとして、前記第 1 の導電層を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 8 の工程と、

前記第 1 の導電層をエッチングして、第 5 の幅 ( X 5 ) を有する第 1 の導電層と、前記第 4 の幅 ( X 4 ) を有する第 2 の導電層との積層からなる第 3 の電極を形成する第 9 の工程と、

を有する半導体装置の作製方法である。

【 0 0 4 0 】

また、上記各作製方法において、前記第 3 の電極を形成する工程の後に、

前記第 3 の電極を覆う第 1 の層間絶縁膜を形成する工程と、  
 前記半導体層中の不純物元素を活性化する第 1 の熱処理を行う工程と、  
 前記第 1 の層間絶縁膜を覆う第 2 の層間絶縁膜を形成する工程と、  
 前記第 2 の層間絶縁膜を形成した後、前記第 1 の熱処理より低い温度の第 2 の熱処理を行う工程と、  
 を有することを特徴としている。

【 0 0 4 1 】

また、本明細書で開示する他の発明は、  
 絶縁表面上に半導体層を形成する第 1 の工程と、  
 前記半導体層上に絶縁膜を形成する第 2 の工程と、  
 前記絶縁膜上に第 1 の導電膜と第 2 の導電膜を積層形成する第 3 の工程と、  
 第 1 の幅 (X 1) を有する第 2 の導電層を形成する第 4 の工程と、  
 前記第 1 の幅 (X 1) を有する第 2 の導電層をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第 5 の工程と、  
 前記第 2 の導電層をエッチングして、前記第 2 の幅 (Y 2) を有する第 2 の導電層を形成する第 6 の工程と、  
 前記第 2 の幅 (Y 2) を有する第 2 の導電層をマスクとして、前記第 1 の導電膜を通過させて前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第 7 の工程と、  
 前記第 1 の導電膜をエッチングして、第 3 の幅 (Y 3) を有する第 1 の導電層と、前記第 2 の幅 (Y 2) を有する第 2 の導電層との積層からなる電極を形成する第 8 の工程と、  
 を有する半導体装置の作製方法である。

【 0 0 4 2 】

また、上記第 8 工程の後に、  
 前記第 3 の電極を覆う第 1 の層間絶縁膜を形成する第 9 工程と、  
 前記半導体層中の不純物元素を活性化する第 1 の熱処理を行う第 1 0 工程と、  
 前記第 1 の層間絶縁膜を覆う第 2 の層間絶縁膜を形成する第 1 1 工程と、  
 前記第 1 の熱処理より低い温度の第 2 の熱処理を行う第 1 2 工程と、

を有することも特徴としている。

【 0 0 4 3 】

【発明の実施の形態】

(実施の形態 1)

本願発明の実施形態 1 について、以下に図 1 ～図 3 を用いて説明する。

【 0 0 4 4 】

まず、基板 1 0 上に下地絶縁膜 1 1 を形成する。基板 1 0 としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 4 5 】

また、下地絶縁膜 1 1 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 1 を形成する。ここでは下地膜 1 1 として 2 層構造 ( 1 1 a 、 1 1 b ) を用いた例を示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【 0 0 4 6 】

次いで、下地絶縁膜上に半導体層 1 2 を形成する。半導体層 1 2 は、非晶質構造を有する半導体膜を公知の手段 ( スパッタ法、 L P C V D 法、またはプラズマ C V D 法等 ) により成膜した後、公知の結晶化処理 ( レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等 ) を行って得られた結晶質半導体膜を第 1 のフォトリソマスクを用いて所望の形状にパターニングして形成する。この半導体層 1 2 の厚さは 2 5 ～ 8 0 n m ( 好ましくは 3 0 ～ 6 0 n m ) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( S i G e ) 合金などで形成すると良い。

【 0 0 4 7 】

次いで、半導体層 1 2 を覆う絶縁膜 1 3 を形成する。

【 0 0 4 8 】

絶縁膜 1 3 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ～ 1 5 0

nmとしてシリコンを含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

#### 【0049】

次いで、絶縁膜13上に膜厚20～100nmの第1の導電膜14と、膜厚100～400nmの第2の導電膜15とを積層形成する。(図1(A))ここでは、スパッタ法を用い、Ta<sub>2</sub>N<sub>5</sub>膜からなる第1の導電膜14と、W膜からなる第2の導電膜15を積層形成した。なお、ここでは、第1の導電膜14をTa<sub>2</sub>N<sub>5</sub>、第2の導電膜15をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

#### 【0050】

次いで、第2のフォトリソマスクを用いてレジストマスク16aを形成し、ICPエッチング装置を用いて第1のエッチング工程を行う。この第1のエッチング工程によって、第2の導電膜15をエッチングして、図1(B)に示すように、端部においてテーパ形状を有する部分(テーパ部)を有する第2の導電層17aを得る。なお、この第1のエッチングの際、第1の導電膜もわずかにエッチングされているがここでは図示しない。

#### 【0051】

ここで、テーパ部の角度(テーパ角)は基板表面(水平面)とテーパ部の傾斜部とのなす角度として定義する。第2の導電層17aのテーパ角は、エッチング条件を適宜、選択することによって、5～45°の範囲とすることができる。

#### 【0052】

次いで、レジストマスク16aをそのまま用い、ICPエッチング装置を用いて第2のエッチング工程を行う。この第2のエッチング工程によって、第1の導電膜14をエッチングして図1(C)に示すような第1の導電層18aを形成する。第1の導電層18aは、第1の幅(W1)を有している。なお、この第2のエッチングの際、レジストマスク、第2の導電層、及び絶縁膜もわずかにエッチ

ングされて、それぞれレジストマスク 1 6 b、第 2 の導電層 1 7 b、絶縁膜 1 9 a が形成される。

【 0 0 5 3 】

なお、ここでは、絶縁膜 1 3 の膜減りを抑えるために、2 回のエッチング（第 1 のエッチング工程と第 2 のエッチング工程）を行ったが、図 2 （C）に示すような電極構造（第 2 の導電層 1 7 b と第 1 の導電層 1 8 a の積層）が形成できるのであれば、特に限定されず、1 回のエッチング工程で行ってもよい。

【 0 0 5 4 】

次いで、レジストマスク 1 6 b を用いて、ICP エッチング装置を用いて第 3 のエッチング工程を行う。この第 3 のエッチング工程によって、第 2 の導電層 1 7 b をエッチングして図 2 （A）に示すような第 2 の導電層 1 7 c を形成する。第 2 の導電層 1 7 c は、第 2 の幅（W 2）を有する。なお、この第 3 のエッチングの際、レジストマスク、第 1 の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク 1 6 c、第 1 の導電層 1 8 b、絶縁膜 1 9 b が形成される。（図 1 （D））

【 0 0 5 5 】

次いで、レジストマスク 1 6 c をそのままの状態にしたまま、第 1 のドーピング工程を行う。この第 1 のドーピング工程によって、第 1 の導電層をマスクとして絶縁膜 1 9 b を介してスルードープを行い、高濃度不純物領域 2 0、2 1 を形成する。（図 2 （A））

【 0 0 5 6 】

このようにスルードープをすることによって、半導体層に打ち込まれるドーピング量を所望の値に制御することができる。

【 0 0 5 7 】

次いで、レジストマスク 1 6 c をそのままの状態にしたまま、第 2 のドーピング工程を行う。この第 2 のドーピング工程によって第 1 の導電層 1 8 b のテーパー部及び絶縁膜 1 9 b を介してスルードープを行い、低濃度不純物領域 2 4、2 5 を形成する。（図 2 （B））なお、この第 2 のドーピングの際、高濃度不純物領域 2 0、2 1 にもドーピングされ、高濃度不純物領域 2 2、2 3 が形成される

。

## 【 0 0 5 8 】

次いで、レジストマスク 1 6 c をそのままの状態にしたまま、R I E エッチング装置または I C P エッチング装置を用いて第 4 のエッチング工程を行う。この第 4 のエッチング工程によって、第 1 の導電層 1 8 b のテーパー部を一部除去する。ここで、第 1 の幅 ( W 1 ) を有していた第 1 の導電層 1 8 b が、第 3 の幅 ( W 3 ) を有する第 1 の導電層 1 8 c となった。(図 2 ( C ) )

## 【 0 0 5 9 】

本実施の形態では、この第 1 の導電層 1 8 c とその上に積層された第 2 の導電層 1 7 c がゲート電極となる。なお、この第 4 のエッチングの際、絶縁膜 1 9 b もエッチングされて、絶縁膜 1 9 c が形成される。ここでは、絶縁膜の一部を除去して高濃度不純物領域を露呈させた例を示したが特に限定されず、高濃度不純物領域が薄い絶縁膜で覆われていてもよい。

## 【 0 0 6 0 】

この後、レジストマスク 1 6 c を除去し、半導体層に添加された不純物元素の活性化を行う。次いで、層間絶縁膜 2 7 を形成した後、第 3 のマスクを用いてコンタクトホールを形成し、導電膜を形成した後、第 4 のマスクを用いて電極 2 8 、 2 9 を形成する。

## 【 0 0 6 1 】

こうして、フォトマスク 4 枚で、図 2 ( D ) に示す構造の T F T を形成することができる。

## 【 0 0 6 2 】

また、本発明により形成された T F T の特徴は、チャネル形成領域 2 6 とドレイン領域 2 3 との間に設けられる低濃度不純物領域 2 5 において、ほとんど濃度差はなく、緩やかな濃度勾配を有し、ゲート電極 ( 1 7 c 及び 1 8 c ) と重なる領域 2 5 a ( G O L D 領域 ) と、ゲート電極と重ならない領域 2 5 b ( L D D 領域 ) とを備えている点である。また、絶縁膜 1 9 c の周縁部、即ち、ゲート電極と重ならない領域 2 5 b 及び高濃度不純物領域 2 0 、 2 1 の上方の領域はテーパ状となっている。

【 0 0 6 3 】

(実施の形態 2)

本願発明の実施の形態 2 について、以下に図 4 及び図 5 を用いて説明する。

【 0 0 6 4 】

なお、本実施の形態は、上記実施の形態 1 と第 1 のエッチング工程 (図 1 (B)) までは同一であり、同じ符号を用いている。また、図 4 (A) は図 1 (A) と対応し、図 4 (B) は図 1 (B) と対応している。

【 0 0 6 5 】

まず、上記実施の形態 1 に従って、図 1 (B) の状態を得る。(図 4 (B))  
なお、この第 1 のエッチング工程によって、第 1 の幅 (X 1) を有する第 2 の導電層 1 7 a が形成される。

【 0 0 6 6 】

次いで、レジストマスク 1 6 a をそのままの状態にしたまま、第 1 のドーピング工程を行う。この第 1 のドーピング工程によって、第 2 の導電層 1 7 a をマスクとし、第 1 の導電膜 1 4 及び絶縁膜 1 3 を介してスルードープを行い、高濃度不純物領域 3 0、3 1 を形成する。(図 4 (C))

【 0 0 6 7 】

このようにスルードープをすることによって、半導体層に打ち込まれるドーピング量を所望の値に制御することができる。

【 0 0 6 8 】

次いで、レジストマスク 1 6 a をそのまま用い、ICPエッチング装置を用いて第 2 のエッチング工程を行う。この第 2 のエッチング工程によって、第 1 の導電膜 1 4 をエッチングして図 4 (D) に示すような第 1 の導電層 3 4 a を形成する。第 1 の導電層 3 4 a は、第 2 の幅 (X 2) を有している。なお、この第 2 のエッチングの際、レジストマスク、第 2 の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク 3 2 a、第 3 の幅 (X 3) を有する第 2 の導電層 3 3 a、絶縁膜 3 5 a が形成される。

【 0 0 6 9 】

次いで、レジストマスク 3 2 a を用いて、ICPエッチング装置を用いて第 3



のエッチング工程を行う。この第 3 のエッチング工程によって、第 2 の導電層 3 3 a をエッチングして図 5 (A) に示すような第 2 の導電層 3 3 b を形成する。第 2 の導電層 3 3 b は、第 4 の幅 (X 4) を有する。なお、この第 3 のエッチングの際、レジストマスク、第 1 の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク 3 2 b、第 1 の導電層 3 4 b、絶縁膜 3 5 b が形成される。(図 5 (A))

## 【 0 0 7 0 】

次いで、レジストマスク 3 2 b をそのままの状態にしたまま、第 2 のドーピング工程を行う。この第 2 のドーピング工程によって第 1 の導電層 3 4 b のテーパー部及び絶縁膜 3 5 b を介してスルードープを行い、低濃度不純物領域 3 8、3 9 を形成する。(図 5 (B)) なお、この第 2 のドーピングの際、高濃度不純物領域 3 0、3 1 にもドーピングされ、高濃度不純物領域 3 6、3 7 が形成される。

## 【 0 0 7 1 】

次いで、レジストマスク 3 2 b をそのままの状態にしたまま、R I E エッチング装置または I C P エッチング装置を用いて第 4 のエッチング工程を行う。この第 4 のエッチング工程によって、第 1 の導電層 3 4 b のテーパー部を一部除去する。ここで、第 1 の幅 (X 2) を有していた第 1 の導電層 3 4 b が、第 5 の幅 (X 5) を有する第 1 の導電層 3 4 c となった。(図 5 (C))

## 【 0 0 7 2 】

本実施の形態では、この第 1 の導電層 3 4 c とその上に積層された第 2 の導電層 3 3 b がゲート電極となる。なお、この第 4 のエッチングの際、絶縁膜 3 5 b もエッチングされて、絶縁膜 3 5 c が形成される。ここでは、絶縁膜の一部を除去して高濃度不純物領域を露呈させた例を示したが特に限定されず、高濃度不純物領域が薄い絶縁膜で覆われていてもよい。

## 【 0 0 7 3 】

この後、レジストマスク 3 2 b を除去し、半導体層に添加された不純物元素の活性化を行う。次いで、層間絶縁膜 4 1 を形成した後、第 3 のマスクを用いてコンタクトホールを形成し、導電膜を形成した後、第 4 のマスクを用いて電極 4 2

、43を形成する。

【0074】

こうして、フォトマスク4枚で、図5（D）に示す構造のTFTを形成することができる。

【0075】

また、本発明により形成されたTFTの特徴は、チャネル形成領域40とドレイン領域37との間に設けられる低濃度不純物領域39において、ほとんど濃度差はなく、緩やかな濃度勾配を有し、ゲート電極（33b及び34c）と重なる領域39a（GOLD領域）と、ゲート電極と重ならない領域39b（LDD領域）とを備えている点である。また、絶縁膜35cの周縁部、即ち、ゲート電極と重ならない領域39b及び高濃度不純物領域37、36の上方の領域はテーパー状となっている。

【0076】

（実施の形態3）

本願発明の実施の形態3について、以下に図4及び図6を用いて説明する。

【0077】

なお、本実施の形態は、上記実施の形態2と第1のドーピング工程（図4（C））までは同一であり、図は省略する。また、ここでは、図4と同一の符号を用いて説明する。

【0078】

まず、上記実施の形態1に従って、図4（C）の状態を得る。

【0079】

次いで、レジストマスク16aを用いて、ICPエッチング装置を用いて第2のエッチング工程を行う。この第2のエッチング工程によって、第2の導電層17aをエッチングして図6（A）に示すような第2の導電層51を形成する。第2の導電層51は、第2の幅（Y2）を有する。なお、この第2のエッチングの際、レジストマスク及び第1の導電膜もわずかにエッチングされて、それぞれレジストマスク50、第1の導電膜52aが形成される。（図5（A））なお、第1の導電膜52aの一部は、既に第1のエッチング工程の際にわずかにエッチン

グされているため、この第2のエッチング工程によって、さらに薄くなっている。また、第2の導電層と重なっていない第1の導電膜52aのうち、第1のエッチング工程の際にエッチングされなかった部分はテーパ形状となっている。

## 【0080】

次いで、レジストマスク50をそのままの状態にしたまま、第2のドーピング工程を行う。この第2のドーピング工程によって第1の導電膜52aのテーパ部及び絶縁膜13を介してスルードープを行い、低濃度不純物領域55、56を形成する。(図6(B))なお、この第2のドーピングの際、高濃度不純物領域30、31にもドーピングされ、高濃度不純物領域55、56が形成される。

## 【0081】

このようにスルードープをすることによって、半導体層に打ち込まれるドーピング量を所望の値に制御することができる。

## 【0082】

次いで、レジストマスク50をそのままの状態にしたまま、RIEエッチング装置またはICPEエッチング装置を用いて第3のエッチング工程を行う。この第3のエッチング工程によって、露呈している第1の導電膜52aのうち、第1のエッチング工程により薄くなった部分とテーパ形状になっている部分の一部が除去される。ここで、第1の導電膜の膜厚、絶縁膜の膜厚等を考慮に入れてエッチング条件を適宜調節することによって、テーパ形状を有し、且つ第3の幅(Y3)を有する第1の導電層52bを形成する。(図6(C))

## 【0083】

本実施の形態では、この第1の導電層52bとその上に積層された第2の導電層51がゲート電極となる。なお、この第3のエッチングの際、絶縁膜13もエッチングされて、絶縁膜57が形成される。

## 【0084】

この後、レジストマスク50を除去し、半導体層に添加された不純物元素の活性化を行う。次いで、層間絶縁膜59を形成した後、第3のマスクを用いてコンタクトホールを形成し、導電膜を形成した後、第4のマスクを用いて電極60、61を形成する。

【 0 0 8 5 】

こうして、フォトマスク 4 枚で、図 6 (D) に示す構造の T F T を形成することができる。

【 0 0 8 6 】

また、本発明により形成された T F T の特徴は、チャネル形成領域 5 8 とドレイン領域 5 6 との間に設けられる低濃度不純物領域 5 4 において、ほとんど濃度差はなく、緩やかな濃度勾配を有し、ゲート電極 ( 5 1 及び 5 2 b ) と重なる領域 5 4 a ( G O L D 領域 ) と、ゲート電極と重ならない領域 5 4 b ( L D D 領域 ) とを備えている点である。

【 0 0 8 7 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 8 8 】

【実施例】

[実施例 1]

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T ( n チャネル型 T F T 及び p チャネル型 T F T ) を同時に作製する方法について詳細に図 7 ~ 図 9 を用いて説明する。

【 0 0 8 9 】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 1 0 0 を用いる。なお、基板 1 0 0 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【 0 0 9 0 】

次いで、基板 1 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 0 1 を形成する。本実施例では下地膜 1 0 1 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 1 0 1 の一層目としては、プラズマ C V D 法を用い、

$\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜 101a を 10～200 nm（好ましくは 50～100 nm）形成する。本実施例では、膜厚 50 nm の酸化窒化シリコン膜 101a（組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ）を形成した。次いで、下地膜 101 の二層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜 101b を 50～200 nm（好ましくは 100～150 nm）の厚さに積層形成する。本実施例では、膜厚 100 nm の酸化窒化シリコン膜 101b（組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）を形成した。

## 【 0 0 9 1 】

次いで、下地膜上に半導体層 102～105 を形成する。半導体層 102～105 は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD 法、またはプラズマ CVD 法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 102～105 の厚さは 25～80 nm（好ましくは 30～60 nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ 、代表的には  $x = 0.0001 \sim 0.05$ ））合金などで形成すると良い。シリコンゲルマニウムを形成する場合、シランとゲルマニウムとの混合ガスを用いたプラズマ CVD 法で形成してもよいし、シリコン膜にゲルマニウムをイオン注入してもよいし、シリコンゲルマニウムからなるターゲットを用いたスパッタ法で形成してもよい。本実施例では、プラズマ CVD 法を用い、55 nm の非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1 時間）を行った後、熱結晶化（550℃、4 時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 102～105 を形成した。

## 【 0 0 9 2 】

また、半導体層 1 0 2 ~ 1 0 5 を形成した後、T F T のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピング（チャネルドーピングとも呼ばれる）を行ってもよい。

#### 【 0 0 9 3 】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、Y V O<sub>4</sub> レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 m J / c m<sup>2</sup> (代表的には 2 0 0 ~ 3 0 0 m J / c m<sup>2</sup>) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 m J / c m<sup>2</sup> (代表的には 3 5 0 ~ 5 0 0 m J / c m<sup>2</sup>) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μ m、例えば 4 0 0 μ m で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 8 0 ~ 9 8 % として行えばよい。

#### 【 0 0 9 4 】

次いで、半導体層 1 0 2 ~ 1 0 5 を覆うゲート絶縁膜 1 0 6 を形成する。ゲート絶縁膜を形成する前に、半導体層の表面を洗浄することが望ましい。被膜表面の汚染不純物（代表的には C、N a 等）除去は、オゾンを含容させた純水で洗浄を行った後に、フッ素を含有する酸性溶液を用い、被膜表面を極薄くエッチングすることにより行えばよい。極薄くエッチングする手段としては、スピン装置を用いて基板をスピンさせ、被膜表面に接触させたフッ素を含有する酸性溶液を飛散させる方法が有効である。フッ素を含有する酸性溶液としては、フッ酸、希フッ酸、フッ化アンモニウム、バッファードフッ酸（フッ酸とフッ化アンモニウムの混合溶液）、フッ酸と過酸化水素水の混合溶液等を用いることができる。洗浄した後、連続的にゲート絶縁膜 1 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 n m、好ましくは 5 0 ~ 1 0 0 n m としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により 1 1 0 n m の厚さ

で酸化窒化シリコン膜（組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【0095】

また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）と $\text{O}_2$ とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

#### 【0096】

次いで、図7（A）に示すように、ゲート絶縁膜106上に膜厚20～100nmの第1の導電膜107と、膜厚100～400nmの第2の導電膜108とを積層形成する。また、汚染を防ぐために大気に触れることなく、ゲート絶縁膜と第1の導電膜と第2の導電膜とを連続的に成膜することが好ましい。また、連続的に成膜しない場合、洗浄機を付随する成膜装置を用いて行えば、膜界面の汚染を防ぐことができる。洗浄方法はゲート絶縁膜形成前に行うものと同様に行えばよい。本実施例では、膜厚30nmのTa<sub>2</sub>N膜からなる第1の導電膜107と、膜厚370nmのW膜からなる第2の導電膜108を連続的に形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に六フッ化タングステン（WF<sub>6</sub>）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができた。

## 【 0 0 9 7 】

なお、本実施例では、第 1 の導電膜 1 0 7 を T a N、第 2 の導電膜 1 0 8 を W としたが、特に限定されず、いずれも T a、W、T i、M o、A l、C u、C r、N d から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、A g P d C u 合金を用いてもよい。また、第 1 の導電膜をタンタル (T a) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化チタン (T i N) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (T a N) 膜で形成し、第 2 の導電膜を A l 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (T a N) 膜で形成し、第 2 の導電膜を C u 膜とする組み合わせとしてもよい。

## 【 0 0 9 8 】

次に、フォトリソグラフィ法を用いてレジストからなるマスク 1 0 9 ~ 1 1 2 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。本実施例では第 1 のエッチング条件として、I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに C F<sub>4</sub> と C l<sub>2</sub> と O<sub>2</sub> とを用い、それぞれのガス流量比を 2 5 / 2 5 / 1 0 (s c c m) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製の I C P を用いたドライエッチング装置 (Model E 6 4 5 - □ I C P) を用いた。基板側 (試料ステージ) にも 1 5 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。第 1 のエッチング条件での W に対するエッチング速度は 2 0 0 . 3 9 n m / m i n、T a N に対するエッチング速度は 8 0 . 3 2 n m / m i n であり、T a N に対する W の選択比は約 2 . 5 である。また、この第 1 のエッチング条件によって、W のテーパ角は、約 2 6 ° となる。なお、ここでの第 1 のエッチング条件でのエッチングは、実施の形態 1 に記載した第 1 のエッチング工程 (図 1 (B)) に相当する。



## 【 0 0 9 9 】

この後、レジストからなるマスク 1 0 9 ~ 1 1 2 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  とを用い、それぞれのガス流量比を 3 0 / 3 0 ( s c c m ) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F ( 13.56 MHz ) 電力を投入してプラズマを生成して約 3 0 秒程度のエッチングを行った。基板側 ( 試料ステージ ) にも 2 0 W の R F ( 13.56 MHz ) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した第 2 のエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 5 8 . 9 7 n m / m i n 、 T a N に対するエッチング速度は 6 6 . 4 3 n m / m i n である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。なお、ここでの第 2 エッチング条件でのエッチングは、実施の形態 1 に記載した第 2 のエッチング工程 ( 図 1 ( C ) ) に相当する。

## 【 0 1 0 0 】

上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。( 図 7 ( B ) ) このテーパ部の角度は 1 5 ~ 4 5 ° とすればよい。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 1 1 3 ~ 1 1 6 ( 第 1 の導電層 1 1 3 a ~ 1 1 6 a と第 2 の導電層 1 1 3 b ~ 1 1 6 b ) を形成する。ここでのチャンネル長方向における第 1 の導電層の幅は、上記実施の形態 1 に示した W 1 に相当する。1 1 7 はゲート絶縁膜であり、第 1 の形状の導電層 1 1 3 ~ 1 1 6 で覆われない領域は 2 0 ~ 5 0 n m 程度エッチングされ薄くなった領域が形成される。

## 【 0 1 0 1 】

次いで、レジストからなるマスクを除去せずに第 2 のエッチング処理を行う。ここでは、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、それぞれのガス流量比を 2 5 / 2 5 / 1 0 ( s c c m ) とし、1 Pa の圧力でコイル型の電極に 5 0

0 W の R F (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも 2 0 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 2 のエッチング処理での W に対するエッチング速度は  $124.62 \text{ nm/min}$ 、Ta N に対するエッチング速度は  $20.67 \text{ nm/min}$  であり、Ta N に対する W の選択比は 6.05 である。従って、W 膜が選択的にエッチングされる。この第 2 のエッチングにより W のテーパ角は  $70^\circ$  となった。この第 2 のエッチング処理により第 2 の導電層 1 2 2 b ~ 1 2 5 b を形成する。一方、第 1 の導電層 1 1 3 a ~ 1 1 6 a は、ほとんどエッチングされず、第 1 の導電層 1 2 2 a ~ 1 2 5 a を形成する。なお、ここでの第 2 のエッチング処理は、実施の形態 1 に記載した第 3 のエッチング工程（図 1 (D)）に相当する。また、ここでのチャンネル長方向における第 2 の導電層の幅が実施の形態 1 に示した W 2 に相当する。

#### 【0102】

そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する。（図 7 (C)）ドーピング処理はイオンドーブ法、若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$  とし、加速電圧を 60 ~ 100 keV として行う。本実施例ではドーズ量を  $1.5 \times 10^{15} \text{ atoms/cm}^2$  とし、加速電圧を 80 keV として行った。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層 1 1 3 ~ 1 1 6 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域 1 1 8 ~ 1 2 1 が形成される。高濃度不純物領域 1 1 8 ~ 1 2 1 には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。なお、ここでの第 1 のドーピング処理は、実施の形態 1 に記載した第 1 のドーピング工程（図 2 (A)）に相当する。

#### 【0103】

次いで、第 2 のドーピング処理を行って図 7 (D) の状態を得る。ドーピングは第 2 の導電層 1 2 2 b ~ 1 2 5 b を不純物元素に対するマスクとして用い、第

1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーズ量 $3.5 \times 10^{12}$ 、加速電圧90 keVにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域126～129を自己整合的に形成する。この低濃度不純物領域126～129へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域118～121にも不純物元素が添加され、高濃度不純物領域130～133を形成する。なお、ここでの第2のドーピング処理は、実施の形態1に記載した第2のドーピング工程（図2（B））に相当する。

## 【0104】

なお、本実施例では、第1のドーピング処理で高濃度不純物領域を形成し、第2のドーピング処理で低濃度不純物領域を形成した例を示したが、特に限定されず、第1のドーピング処理で低濃度不純物領域を形成し、第2のドーピング処理で高濃度不純物領域を形成してもよい。また、適宜、絶縁膜の膜厚や第1の導電層の膜厚やドーピング条件等を調節することによって一回のドーピング処理で高濃度不純物領域及び低濃度不純物領域を形成してもよい。

## 【0105】

次いで、レジストからなるマスクを除去せずに第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、半導体層と重なる領域を縮小するために行われる。第3のエッチング処理は、エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法（RIE法）を用いて行う。本実施例では、チャンバー圧力6.7 Pa、RF電力800 W、CHF<sub>3</sub>ガス流量35 sccmで第3のエッチング処理を行った。第3のエッチングにより、第1の導電層138～142が形成される。（図8（A））なお、ここでの第3のエッチング処理は、実施の形態1に記載した第4のエッチング工程（図2（C））に相当する。また、ここでのチャネル長方向における第1の導

電層の幅が実施の形態 1 に示した W 3 に相当する。

【0106】

この第 3 のエッチング処理時、同時に絶縁膜 1 1 7 もエッチングされて、高濃度不純物領域 1 3 0 ～ 1 3 3 の一部は露呈し、絶縁膜 1 4 3 a ～ 1 4 3 d、1 4 4 が形成される。なお、本実施例では、高濃度不純物領域 1 3 0 ～ 1 3 3 の一部が露呈するエッチング条件を用いたが特に限定されず、絶縁膜の膜厚やエッチング条件を変更すれば、高濃度不純物領域に薄く絶縁膜が残るようにすることもできる。

【0107】

上記第 3 のエッチングによって、第 1 の導電層 1 3 8 ～ 1 4 2 と重ならない不純物領域（LDD 領域）1 3 4 a ～ 1 3 7 a が形成される。なお、不純物領域（GOLD 領域）1 3 4 b ～ 1 3 7 b は、第 1 の導電層 1 3 8 ～ 1 4 2 と重なったままである。

【0108】

また、第 1 の導電層 1 3 8 と第 2 の導電層 1 2 2 b とで形成された電極は、後の工程で形成される駆動回路の n チャネル型 T F T のゲート電極となり、第 1 の導電層 1 3 9 と第 2 の導電層 1 2 3 b とで形成された電極は、後の工程で形成される駆動回路の p チャネル型 T F T のゲート電極となる。同様に、第 1 の導電層 1 4 0 と第 2 の導電層 1 2 4 b とで形成された電極は、後の工程で形成される画素部の n チャネル型 T F T のゲート電極となり、第 1 の導電層 1 4 1 と第 2 の導電層 1 2 5 b とで形成された電極は、後の工程で形成される画素部の保持容量の一方の電極となる。

【0109】

このようにすることで、本実施例は、第 1 の導電層 1 3 8 ～ 1 4 2 と重なる不純物領域（GOLD 領域）1 3 4 b ～ 1 3 7 b における不純物濃度と、第 1 の導電層 1 3 8 ～ 1 4 2 と重ならない不純物領域（LDD 領域）1 3 4 a ～ 1 3 7 a における不純物濃度との差を小さくすることができ、T F T 特性を向上させることができる。

【0110】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク 1 4 5、1 4 6 を形成して第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型（n 型）とは逆の導電型（p 型）を付与する不純物元素が添加された不純物領域 1 4 7 ~ 1 5 2 を形成する。（図 8（B））第 1 の導電層 1 3 9、1 4 2 を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域 1 4 7 ~ 1 5 2 はジボラン（ $B_2H_6$ ）を用いたイオンドープ法で形成する。なお、この第 3 のドーピング処理の際には、n チャネル型 T F T を形成する半導体層はレジストからなるマスク 1 4 5、1 4 6 で覆われている。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 1 4 5、1 4 6 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度が  $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$  となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、第 3 のエッチング処置によって、p チャネル型 T F T の活性層となる半導体層の一部が露呈されたため、不純物元素（ボロン）を添加しやすい利点を有している。

#### 【0 1 1 1】

以上までの工程でそれぞれの半導体層に所望の不純物領域が形成される。

#### 【0 1 1 2】

次いで、レジストからなるマスク 1 4 5、1 4 6 を除去して第 1 の層間絶縁膜（a）1 5 3 a を形成する。この第 1 の層間絶縁膜（a）1 5 3 a としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 5 0 ~ 1 0 0 n m としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 5 0 n m の酸化窒化シリコン膜を形成した。勿論、第 1 の層間絶縁膜（a）1 5 3 a は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【0 1 1 3】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を

行う。(図 8 (C)) この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 5 5 0 °C で行えばよく、本実施例では 5 5 0 °C、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。

## 【 0 1 1 4 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域 (1 3 0、1 3 2、1 4 7、1 5 0) にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

## 【 0 1 1 5 】

また、第 1 の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

## 【 0 1 1 6 】

また、他の活性化処理としてレーザーアニール法、例えば、エキシマレーザーや Y A G レーザー等のレーザー光を照射することができる。

## 【 0 1 1 7 】

次いで、第 1 の層間絶縁膜 (b) 1 5 3 b を形成する。この第 1 の層間絶縁膜 (b) 1 5 3 b としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 5 0 ~ 2 0 0 n m としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 1 0 0 n m の窒化シリコン膜を形成した。勿論、第 1 の層間絶縁膜 (b) 1 5 3 b は窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

## 【 0 1 1 8 】

次いで、不活性雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この水素化は、活性化処理での熱処理温度よりも低い温度（400～500℃）であることが望ましい。（図8（D））本実施例では窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理での水素化やプラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【0119】

また、レジストからなるマスク145、146を除去した後、熱活性化（代表的には窒素雰囲気中で500～550℃）を行い、シリコンを含む絶縁膜からなる第1の層間絶縁膜（代表的には膜厚100～200nmの窒化シリコン膜）を形成した後で水素化（窒素雰囲気中で300～500℃）を行ってもよい。

## 【0120】

次いで、第1の層間絶縁膜（b）153b上に有機絶縁物材料から成る第2の層間絶縁膜154を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。

## 【0121】

次いで、第2の層間絶縁膜154上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極162を形成する。透明導電膜には酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ $\text{ZnO}$ ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを好適に用いることができる。

## 【0122】

なお、ここでは、画素電極として、透明導電膜を用いた例を示したが、反射性を有する導電性材料を用いて画素電極を形成すれば、反射型の表示装置を作製することができる。

## 【0123】

次いで、各不純物領域130、132、147、150に達するコンタクトホ

ールを形成するためのパターンニングを行う。

【 0 1 2 4 】

そして、駆動回路 2 0 5 においては、不純物領域 1 3 0 または不純物領域 1 4 7 とそれぞれ電氣的に接続する電極 1 5 5 ～ 1 6 1 を形成する。なお、これらの電極は、膜厚 5 0 n m の T i 膜と、膜厚 5 0 0 n m の合金膜（A l と T i との合金膜）との積層膜をパターンニングして形成する。

【 0 1 2 5 】

また、画素部 2 0 6 においては、不純物領域 1 3 2 と接する接続電極 1 6 0、またはソース電極 1 5 9 を形成し、不純物領域 1 5 0 と接する接続電極 1 6 1 を形成する。なお、接続電極 1 6 0 は、画素電極 1 6 2 と接して重ねて形成することによって画素 T F T のドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層（不純物領域 1 5 0）と電氣的な接続が形成される。（図 9）

【 0 1 2 6 】

以上の様にして、n チャネル型 T F T 2 0 1 及び p チャネル型 T F T 2 0 2 を有する駆動回路 2 0 5 と、画素 T F T 2 0 3 及び保持容量 2 0 4 とを有する画素部 2 0 6 を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 1 2 7 】

駆動回路 2 0 5 の n チャネル型 T F T 2 0 1 はチャネル形成領域 1 6 3、ゲート電極の一部を構成する第 1 の導電層 1 3 8 と重なる低濃度不純物領域 1 3 4 b（G O L D 領域）、ゲート電極の外側に形成される低濃度不純物領域 1 3 4 a（L D D 領域）とソース領域またはドレイン領域として機能する高濃度不純物領域 1 3 0 を有している。p チャネル型 T F T 2 0 2 にはチャネル形成領域 1 6 4、ゲート電極の一部を構成する第 1 の導電層 1 3 9 と重なる不純物領域 1 4 9、ゲート電極の外側に形成される不純物領域 1 4 8、ソース領域またはドレイン領域として機能する不純物領域 1 4 7 を有している。

【 0 1 2 8 】

画素部 2 0 6 の画素 T F T 2 0 3 にはチャネル形成領域 1 6 5、ゲート電極を



形成する第 1 の導電層 1 4 0 と重なる低濃度不純物領域 1 3 6 b (GOLD 領域)、ゲート電極の外側に形成される低濃度不純物領域 1 3 6 a (LDD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 1 3 2 を有している。また、保持容量 2 0 4 の一方の電極として機能する半導体層 1 5 0 ~ 1 5 2 には、それぞれ p 型を付与する不純物元素が添加されている。保持容量 2 0 4 は、絶縁膜 1 4 4 を誘電体として、電極 1 2 5、1 4 2 と、半導体層 1 5 0 ~ 1 5 2、1 6 6 とで形成している。

## 【 0 1 2 9 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を 6 枚とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

## 【 0 1 3 0 】

## [実施例 2]

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図 1 0 を用いる。

## 【 0 1 3 1 】

まず、実施例 1 に従い、図 9 の状態のアクティブマトリクス基板を得た後、図 9 のアクティブマトリクス基板上に配向膜 1 6 7 を形成しラビング処理を行う。なお、本実施例では配向膜 1 6 7 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

## 【 0 1 3 2 】

次いで、対向基板 1 6 8 を用意する。この対向基板には、着色層 1 7 4、遮光層 1 7 5 が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層 1 7 7 を設けた。このカラーフィルタと遮光層 1 7 7 とを覆う平坦化膜 1 7 6 を設けた。次いで、平坦化膜 1 7 6 上に透明導電膜からなる対向電極 1 6 9 を画素部に形成し、対向基板の全面に配向膜 1 7 0 を形成

し、ラビング処理を施した。

【0133】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材171で貼り合わせる。シール材171にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料173を注入し、封止剤（図示せず）によって完全に封止する。液晶材料173には公知の液晶材料を用いれば良い。このようにして図10に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0134】

こうして得られた液晶表示パネルの構成を図11の上面図を用いて説明する。なお、図10と対応する部分には同じ符号を用いた。

【0135】

図11（A）で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子207、外部入力端子と各回路の入力部までを接続する配線208などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板168とがシール材171を介して貼り合わされている。

【0136】

ゲート配線側駆動回路205aと重なるように対向基板側に遮光層177aが設けられ、ソース配線側駆動回路205bと重なるように対向基板側に遮光層177bが形成されている。また、画素部206上の対向基板側に設けられたカラーフィルタ209は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0137】

ここでは、カラー化を図るためにカラーフィルタ 2 0 9 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

## 【 0 1 3 8 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 1 7 7 a、1 7 7 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

## 【 0 1 3 9 】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

## 【 0 1 4 0 】

また、外部入力端子にはベースフィルム 2 1 0 と配線 2 1 1 から成る F P C が異方性導電性樹脂 2 1 2 で貼り合わされている。さらに補強板で機械的強度を高めている。

## 【 0 1 4 1 】

図 1 1 ( B ) は図 1 1 ( A ) で示す外部入力端子 2 0 7 の E - E ' 線に対する断面図を示している。導電性粒子 2 1 4 の外径は配線 2 1 5 のピッチよりも小さいので、接着剤 2 1 2 中に分散する量を適当なものとすると隣接する配線と短絡することなく対応する F P C 側の配線と電気的な接続を形成することができる。

## 【 0 1 4 2 】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

## 【 0 1 4 3 】

## [ 実施例 3 ]

本実施例では実施例 1 とは異なるアクティブマトリクス基板の作製方法につい

て図 1 2 を用いて説明する。実施例 1 では透過型の表示装置を形成したが、本実施例では、反射型の表示装置を形成し、実施例 1 よりもマスク数を減らすことを特徴としている。

【 0 1 4 4 】

なお、実施例 1 とは第 2 の層間絶縁膜 1 5 4 を形成する工程まで同一であるため、ここでは省略する。

【 0 1 4 5 】

実施例 1 に従って、第 2 の層間絶縁膜を形成した後、各不純物領域に達するコンタクトホールを形成するためのパターニングを行う。

【 0 1 4 6 】

次いで、駆動回路においては、実施例 1 と同様に半導体層の一部（高濃度不純物領域）とそれぞれ電氣的に接続する電極を形成する。なお、これらの電極は、膜厚 5 0 n m の T i 膜と、膜厚 5 0 0 n m の合金膜（A l と T i との合金膜）との積層膜をパターニングして形成する。

【 0 1 4 7 】

また、画素部においては、高濃度不純物領域 1 2 0 0 と接する画素電極 1 2 0 2、または高濃度不純物領域 1 2 0 1 と接するソース電極 1 2 0 3 を形成する。なお、画素電極 1 2 0 2 は、画素 T F T の高濃度不純物領域 1 2 0 0 と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層（高濃度不純物領域 1 2 0 4 ）と電氣的な接続が形成される。（図 1 2 ）

【 0 1 4 8 】

なお、画素電極 1 2 0 2 の材料としては、A l または A g を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【 0 1 4 9 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を 5 枚とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【 0 1 5 0 】

また、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工

程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。また、画素電極を形成する前に絶縁膜に凸凹を形成してその上に画素電極を形成してもよい。

## 【 0 1 5 1 】

## [実施例 4]

本実施例では、実施例 3 で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図 1 3 を用いる。

## 【 0 1 5 2 】

まず、実施例 3 に従い、図 1 2 の状態のアクティブマトリクス基板を得た後、図 1 2 のアクティブマトリクス基板上、少なくとも画素電極上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ（図示しない）を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

## 【 0 1 5 3 】

次いで、対向基板 1 3 0 4 を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。次いで、カラーフィルターを覆う平坦化膜を形成する。

## 【 0 1 5 4 】

次いで、平坦化膜上に透明導電膜からなる対向電極を少なくとも画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

## 【 0 1 5 5 】

そして、画素部 1 3 0 1 と駆動回路 1 3 0 2 が形成されたアクティブマトリクス基板 1 3 0 3 と対向基板 1 3 0 4 とをシール材 1 3 0 6 で貼り合わせる。シール材 1 3 0 6 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1 3 0 5 を注入し、封止剤によって完全に封止する。液晶材料 1 3 0 5 には公知の液晶材料を用いれば良い。なお、本実施例は反射型であるので実施例 2 と比較して基板間隔は半分程度となる。このようにして反射型液晶表示装置が

完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板 1 3 0 7 を貼りつけた。そして、公知の技術を用いて F P C を貼りつけた。

【 0 1 5 6 】

以上のようにして作製される反射型の液晶表示パネルは各種電子機器の表示部として用いることができる。

【 0 1 5 7 】

また、上記液晶表示パネルだけでは、暗い場所で使用する場合、視認性に問題が生じる。従って、図 1 3 に示すような光源、リフレクタ、導光板を備える構成とすることが望ましい。

【 0 1 5 8 】

光源には L E D または冷陰極管を単数または複数用いればよい。図 1 3 に示すように光源は、導光板の側面に沿って配置され、光源の背後にはリフレクタが設けられている。

【 0 1 5 9 】

光源から照射された光は、リフレクタによって効率よく導光板の側面から内部に入射すると、表面に設けられた特殊なプリズム加工面で反射され、液晶表示パネルに入射する。

【 0 1 6 0 】

こうして液晶表示パネルと光源と導光板を組み合わせることによって、光利用効率を向上させることができる。

【 0 1 6 1 】

[ 実施例 5 ]

本実施例は、実施例 1 と異なる作製方法の一例を示す。なお、本実施例は、実施例 1 とは半導体層 1 0 2 ～ 1 0 5 の形成までの工程が異なっているだけでその後の工程は実施例 1 と同一であるため、省略する。

【 0 1 6 2 】

まず、実施例 1 と同様に基板を用意する。透過型の表示装置を作製する場合、基板は、ガラス基板、石英基板などを用いることができる。また、本実施例の処

理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。また、反射型の表示装置を作製する場合は、他にセラミック基板、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。

#### 【0163】

次いで、基板上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。本実施例では下地膜として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。本実施例では、下地膜の一層目及び二層目は、プラズマCVD法を用い、第一の成膜室にて連続形成する。下地膜の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜を100～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ）を形成した。次いで、下地膜の二層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜を50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）を形成した。

#### 【0164】

次いで、第二の成膜室にて下地膜上に非晶質半導体膜を形成する。非晶質半導体膜は、30～60nmの厚さで形成する。非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム合金などで形成すると良い。本実施例では、プラズマCVD法により、 $\text{SiH}_4$ ガスを用いて、非晶質シリコン膜を形成する。

#### 【0165】

また、下地膜と非晶質半導体膜とは同じ成膜方法で形成可能であるため、下地膜と非晶質半導体膜とを連続形成することも可能である。

#### 【0166】

次いで、第三の成膜室にて非晶質シリコン膜に $\text{Ni}$ を添加する。プラズマCVD法を用い、 $\text{Ni}$ を材料に含む電極を取り付け、アルゴンガスなどを導入してプ

ラズマをたて、Ni 添加する。勿論、蒸着法やスパッタ法を用いて、Ni の極薄膜を形成しても良い。

#### 【0167】

次いで、第四の成膜室にて保護膜を形成する。保護膜としては、酸化シリコン膜や酸化窒化シリコン膜などを用いるのがよい。後工程の脱水素化を行う際、水素が抜けにくいので、窒化シリコン膜のような緻密な膜は用いない方がよい。本実施例では、プラズマCVD法を用いて、TEOS (Tetraethyl Orthosilicate) と $O_2$ を混合し、100～150nmの厚さの酸化シリコン膜を形成する。本実施例は、保護膜としての酸化シリコン膜形成までをクリーンルーム大気に曝すことなく連続処理することを特徴としている。

#### 【0168】

また、上記各成膜室にて形成される膜は、プラズマCVD法、熱CVD法、減圧CVD法、蒸着法、スパッタ法等、あらゆる公知の形成手段を用いることが可能である。

#### 【0169】

次いで、非晶質シリコン膜の脱水素化（500℃、1時間）を行い、熱結晶化（550℃、4時間）を行う。なお、本実施例に示したNiなどの触媒元素を添加する方法に限定されず、公知の方法により熱結晶化を行っても良い。

#### 【0170】

そして、nチャネル型TFETのしきい値( $V_{th}$ )を制御するためにp型を付与する不純物元素を添加する。半導体に対してp型を付与する不純物元素には、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)など周期律第13族元素が知られている。本実施例では、ボロン(B)を添加する。

#### 【0171】

ボロンの添加を行った後に、保護膜である酸化シリコン膜をフッ酸などのエッチング液を用いて除去する。次いで、洗浄とレーザーアニールの連続処理を行う。非晶質半導体膜にp型を付与する不純物元素であるボロン(B)を添加した後にレーザーアニールの処理を行うことで、ボロンも結晶質半導体膜の結晶構造の一部となって結晶化が起こるために、従来の技術で起こっている結晶構造の破壊



を防ぐことが可能である。

【0172】

ここで、オゾンを含容させた純水とフッ素を含有する酸性溶液を用いることで、オゾンを含容させた純水にて洗浄を行う際に形成される極薄い酸化被膜と共に、被膜表面に付着している汚染不純物を除去することができる。オゾンを含容させた純水の作製方法としては、純水を電気分解する方法や純水にオゾンガスを直接溶かし込む方法などがある。また、オゾンの濃度は、6 mg/L以上で使用するのが好ましい。なお、スピン装置の回転数や時間条件は、基板面積、被膜材料などによって適宜最適な条件を見つければよい。

【0173】

レーザーアニールには、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。レーザーアニールによる結晶化の条件は、実施者が適宜選択すればよい。

【0174】

こうして得られた結晶質半導体膜を所望の形状にパターンニングして、島状の半導体層102～105を形成する。

【0175】

以降の工程は、実施例1に従えば、図10で示す液晶表示パネルを形成することができる。

【0176】

なお、本実施例は、実施例1乃至4のいずれか一と自由に組み合わせることができる。

【0177】

[実施例6]

本実施例では、本発明を用いてEL（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図14は本発明のEL表示装置の断面図である。

【0178】

図14において、基板700上に設けられたスイッチングTFT603は図9

のnチャネル型TFT203を用いて形成される。従って、構造の説明はnチャネル型TFT203の説明を参照すれば良い。

【0179】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0180】

基板700上に設けられた駆動回路は図9のCMOS回路を用いて形成される。従って、構造の説明はnチャネル型TFT201とpチャネル型TFT202の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0181】

また、配線701、703はCMOS回路のソース配線、702はドレイン配線、704はスイッチングTFTのソース領域とを電氣的に接続するソース配線、705はスイッチングTFTのドレイン領域とを電氣的に接続するドレイン配線として機能する。

【0182】

なお、電流制御TFT604は図9のpチャネル型TFT202を用いて形成される。従って、構造の説明はpチャネル型TFT202の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0183】

また、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電氣的に接続する電極である。

【0184】

なお、710は、透明導電膜からなる画素電極（EL素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることがで

きる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極 710 は、上記配線を形成する前に平坦な層間絶縁膜 711 上に形成する。本実施例においては、樹脂からなる平坦化膜 711 を用いて TFT による段差を平坦化することは非常に重要である。後に形成される EL 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

## 【0185】

配線 701～707 を形成後、図 14 に示すようにバンク 712 を形成する。バンク 712 は 100～400 nm の珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

## 【0186】

なお、バンク 712 は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク 712 の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は  $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは  $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

## 【0187】

画素電極 710 の上には EL 層 713 が形成される。なお、図 14 では一画素しか図示していないが、本実施例では R（赤）、G（緑）、B（青）の各色に対応した EL 層を作り分けている。また、本実施例では蒸着法により低分子系有機 EL 材料を形成している。具体的には、正孔注入層として 20 nm 厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として 70 nm 厚のトリスー８ーキノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub> にキナクリドン、ペリレンもしくは DCM1 といった蛍光色素を添加することで発光色を制御することができる。

## 【0188】

但し、以上の例は EL 層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層

を自由に組み合わせて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機 E L 材料を E L 層として用いる例を示したが、高分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

## 【 0 1 8 9 】

次に、E L 層 7 1 3 の上には導電膜からなる陰極 7 1 4 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の M g A g 膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

## 【 0 1 9 0 】

この陰極 7 1 4 まで形成された時点で E L 素子 7 1 5 が完成する。なお、ここでいう E L 素子 7 1 5 は、画素電極（陽極）7 1 0、E L 層 7 1 3 及び陰極 7 1 4 で形成されたコンデンサを指す。

## 【 0 1 9 1 】

E L 素子 7 1 5 を完全に覆うようにしてパッシベーション膜 7 1 6 を設けることは有効である。パッシベーション膜 7 1 6 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

## 【 0 1 9 2 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C（ダイヤモンドライクカーボン）膜を用いることは有効である。D L C 膜は室温から 1 0 0 ℃以下の温度範囲で成膜可能であるため、耐熱性の低い E L 層 7 1 3 の上方にも容易に成膜することができる。また、D L C 膜は酸素に対するブロッキング効果が高く、E L 層 7 1 3 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に E L 層 7 1 3 が酸化するといった問題を防止できる。

## 【 0 1 9 3 】

さらに、パッシベーション膜 7 1 6 上に封止材 7 1 7 を設け、カバー材 7 1 8 を貼り合わせる。封止材 7 1 7 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 7 1 8 はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものをを用いる。

## 【 0 1 9 4 】

こうして図 1 4 に示すような構造の E L 表示装置が完成する。なお、バンク 7 1 2 を形成した後、パッシベーション膜 7 1 6 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 7 1 8 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

## 【 0 1 9 5 】

こうして、プラスチック基板を母体とする絶縁体 5 0 1 上に n チャネル型 T F T 6 0 1、6 0 2、スイッチング T F T（n チャネル型 T F T）6 0 3 および電流制御 T F T（n チャネル型 T F T）6 0 4 が形成される。ここまでの製造工程で必要としたマスク数は、一般的なアクティブマトリクス型 E L 表示装置よりも少ない。

## 【 0 1 9 6 】

即ち、T F T の製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

## 【 0 1 9 7 】

さらに、図 9 を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強い n チャネル型 T F T を形成することができる。そのため、信頼性の高い E L 表示装置を実現できる。

## 【 0 1 9 8 】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、 $\gamma$

補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

#### 【 0 1 9 9 】

さらに、E L 素子を保護するための封止（または封入）工程まで行った後の本実施例のE L 発光装置について図 1 5 を用いて説明する。なお、必要に応じて図 1 4 で用いた符号を引用する。

#### 【 0 2 0 0 】

図 1 5 ( A ) は、E L 素子の封止までを行った状態を示す上面図、図 1 5 ( B ) は図 1 5 ( A ) を A - A ' で切断した断面図である。点線で示された 8 0 1 はソース側駆動回路、8 0 6 は画素部、8 0 7 はゲート側駆動回路である。また、9 0 1 はカバー材、9 0 2 は第 1 シール材、9 0 3 は第 2 シール材であり、第 1 シール材 9 0 2 で囲まれた内側には封止材 9 0 7 が設けられる。

#### 【 0 2 0 1 】

なお、9 0 4 はソース側駆動回路 8 0 1 及びゲート側駆動回路 8 0 7 に入力される信号を伝送するための配線であり、外部入力端子となる F P C ( フレキシブルプリントサーキット ) 9 0 5 からビデオ信号やクロック信号を受け取る。なお、ここでは F P C しか図示されていないが、この F P C にはプリント配線基盤 ( P W B ) が取り付けられていても良い。本明細書における E L 表示装置には、E L 表示装置本体だけでなく、それに F P C もしくは P W B が取り付けられた状態をも含むものとする。

#### 【 0 2 0 2 】

次に、断面構造について図 1 5 ( B ) を用いて説明する。基板 7 0 0 の上方には画素部 8 0 6、ゲート側駆動回路 8 0 7 が形成されており、画素部 8 0 6 は電流制御 T F T 6 0 4 とそのドレインに電氣的に接続された画素電極 7 1 0 を含む複数の画素により形成される。また、ゲート側駆動回路 8 0 7 は n チャンネル型 T F T 6 0 1 と p チャンネル型 T F T 6 0 2 とを組み合わせた C M O S 回路 ( 図 9 参照 ) を用いて形成される。

#### 【 0 2 0 3 】

画素電極 7 1 0 は E L 素子の陽極として機能する。また、画素電極 7 1 0 の両

端にはバンク 7 1 2 が形成され、画素電極 7 1 0 上には E L 層 7 1 3 および E L 素子の陰極 7 1 4 が形成される。

#### 【 0 2 0 4 】

陰極 7 1 4 は全画素に共通の配線としても機能し、接続配線 9 0 4 を経由して F P C 9 0 5 に電氣的に接続されている。さらに、画素部 8 0 6 及びゲート側駆動回路 8 0 7 に含まれる素子は全て陰極 7 1 4 およびパッシベーション膜 5 6 7 で覆われている。

#### 【 0 2 0 5 】

また、第 1 シール材 9 0 2 によりカバー材 9 0 1 が貼り合わされている。なお、カバー材 9 0 1 と E L 素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 9 0 2 の内側には封止材 9 0 7 が充填されている。なお、第 1 シール材 9 0 2、封止材 9 0 7 としてはエポキシ系樹脂を用いるのが好ましい。また、第 1 シール材 9 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 9 0 7 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

#### 【 0 2 0 6 】

E L 素子を覆うようにして設けられた封止材 9 0 7 はカバー材 9 0 1 を接着するための接着剤としても機能する。また、本実施例ではカバー材 9 0 1 を構成するプラスチック基板 9 0 1 a の材料として F R P (Fiberglass-Reinforced Plastics)、P V F (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

#### 【 0 2 0 7 】

また、封止材 9 0 7 を用いてカバー材 9 0 1 を接着した後、封止材 9 0 7 の側面(露呈面)を覆うように第 2 シール材 9 0 3 を設ける。第 2 シール材 9 0 3 は第 1 シール材 9 0 2 と同じ材料を用いることができる。

#### 【 0 2 0 8 】

以上のような構造で E L 素子を封止材 9 0 7 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い

E L 表示装置が得られる。

【 0 2 0 9 】

[ 実施例 7 ]

上記各実施例 1 乃至 6 のいずれかーを実施して形成された T F T は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【 0 2 1 0 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 6、図 1 7 及び図 1 8 に示す。

【 0 2 1 1 】

図 1 6 （ A ） はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

【 0 2 1 2 】

図 1 6 （ B ） はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

【 0 2 1 3 】

図 1 6 （ C ） はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

【 0 2 1 4 】

図 1 6 （ D ） はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。



る。

#### 【0215】

図16(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

#### 【0216】

図16(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502に適用することができる。

#### 【0217】

図17(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

#### 【0218】

図17(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

#### 【0219】

なお、図17(C)は、図17(A)及び図17(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図17(C)中において矢印で示した光路に

実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I Rフィルム等の光学系を設けてもよい。

## 【 0 2 2 0 】

また、図 1 7 (D) は、図 1 7 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 1 7 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I Rフィルム等の光学系を設けてもよい。

## 【 0 2 2 1 】

ただし、図 1 7 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は図示していない。

## 【 0 2 2 2 】

図 1 8 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本願発明を表示部 2 9 0 4 に適用することができる。

## 【 0 2 2 3 】

図 1 8 (B) は携帯書籍（電子書籍）であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

## 【 0 2 2 4 】

図 1 8 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

## 【 0 2 2 5 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適

用することが可能である。また、本実施例の電子機器は実施例 1 ～ 6 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 2 6 】

【発明の効果】

本発明により、第 4 のエッチング条件によりゲート電極に重なる低濃度不純物領域（GOLD 領域）の幅と、ゲート電極に重ならない低濃度不純物領域（LDD 領域）の幅とを自由に調節できる。また、本発明により形成された TFT の GOLD 領域と LDD 領域のにおける濃度差はほとんど生じていない。従って、ゲート電極と重なっている GOLD 領域は、電界集中の緩和が達成されてホットキャリアによる防止ができるとともに、ゲート電極と重なっていない LDD 領域は、オフ電流値を抑えることができる。

【図面の簡単な説明】

- 【図 1】      TFT の作製工程を示す図である。（実施の形態 1）
- 【図 2】      TFT の作製工程を示す図である。（実施の形態 1）
- 【図 3】      不純物元素の濃度分布を示す曲線である。（実施の形態 1）
- 【図 4】      TFT の作製工程を示す図である。（実施の形態 2）
- 【図 5】      TFT の作製工程を示す図である。（実施の形態 2）
- 【図 6】      TFT の作製工程を示す図である。（実施の形態 3）
- 【図 7】      AM-LCD の作製工程を示す図である。（実施例 1）
- 【図 8】      AM-LCD の作製工程を示す図である。（実施例 1）
- 【図 9】      AM-LCD の作製工程を示す図である。（実施例 1）
- 【図 10】    透過型液晶表示装置の断面構造図である。（実施例 1）
- 【図 11】    液晶表示パネルの外観図である。（実施例 2）
- 【図 12】    反射型液晶表示装置の断面構造図である。（実施例 3）
- 【図 13】    光源を備えた反射型液晶表示パネルの断面構造図である。（実施例 4）
- 【図 14】    アクティブマトリクス型 EL 表示装置の構成を示す図。
- 【図 15】    アクティブマトリクス型 EL 表示装置の構成を示す図。
- 【図 16】    電子機器の一例を示す図。

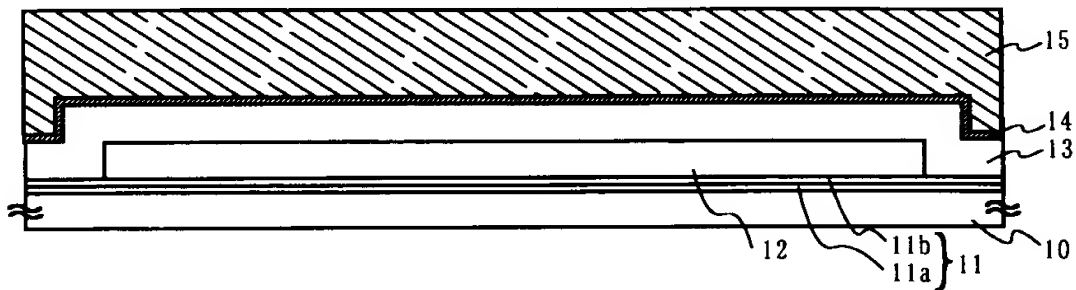
【図 1 7】 電子機器の一例を示す図。

【図 1 8】 電子機器の一例を示す図。

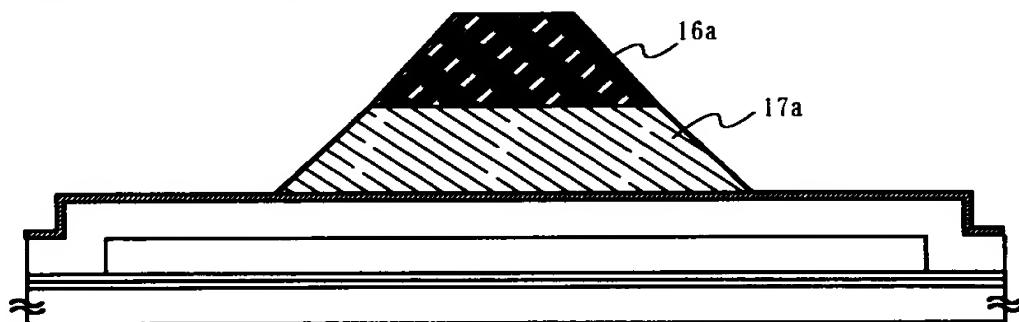
【書類名】 図面

【図 1】

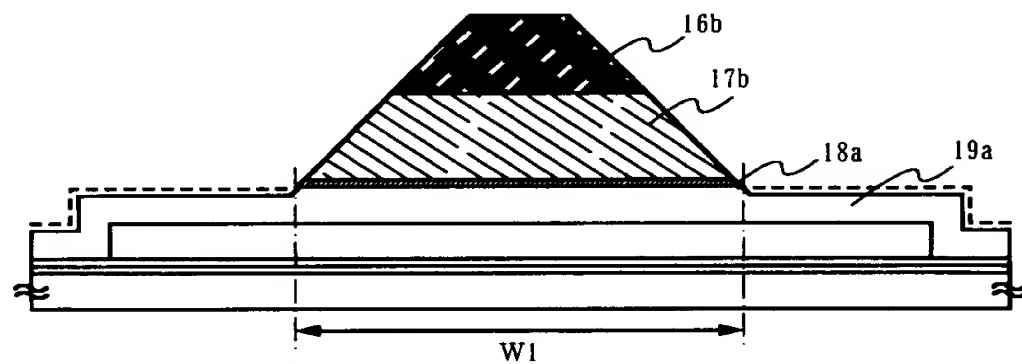
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



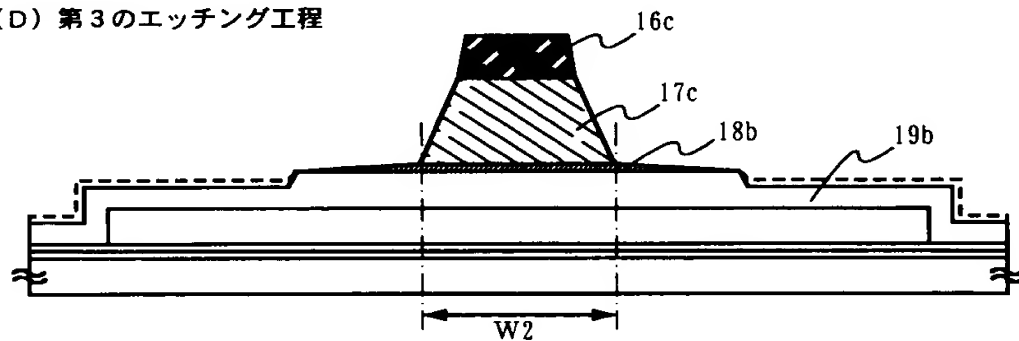
(B) 第1のエッチング工程



(C) 第2のエッチング工程

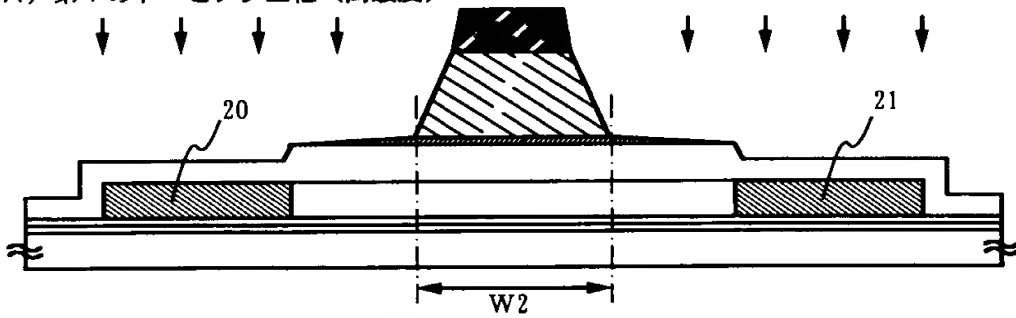


(D) 第3のエッチング工程

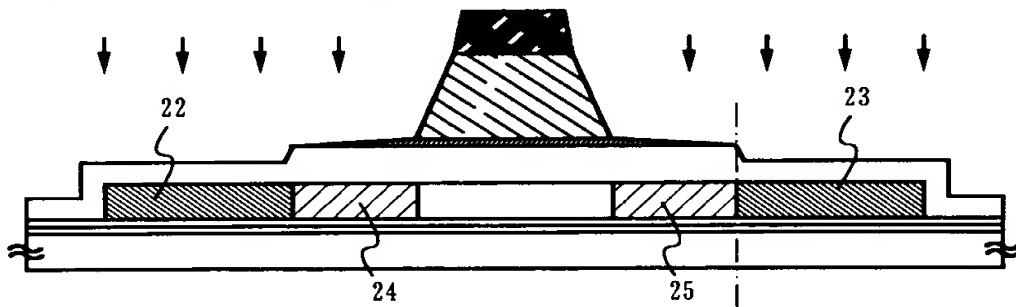


【図 2】

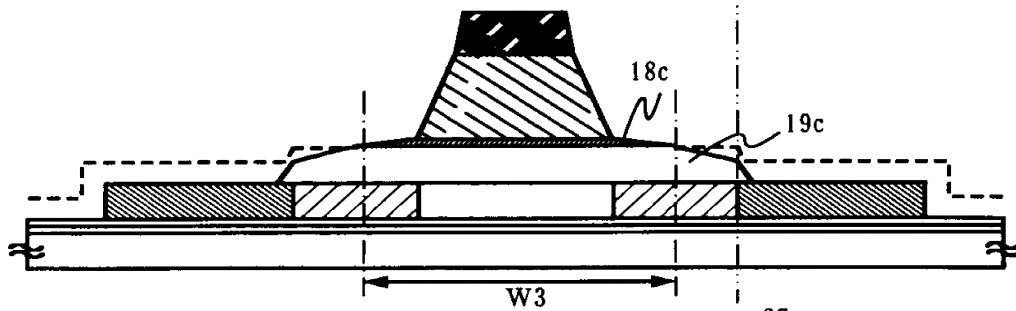
(A) 第1のドーピング工程（高濃度）



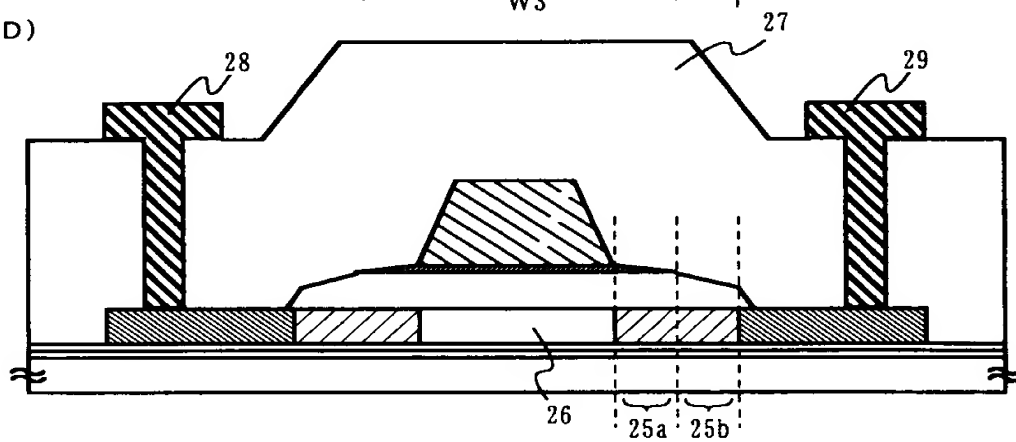
(B) 第2のドーピング工程（低濃度）



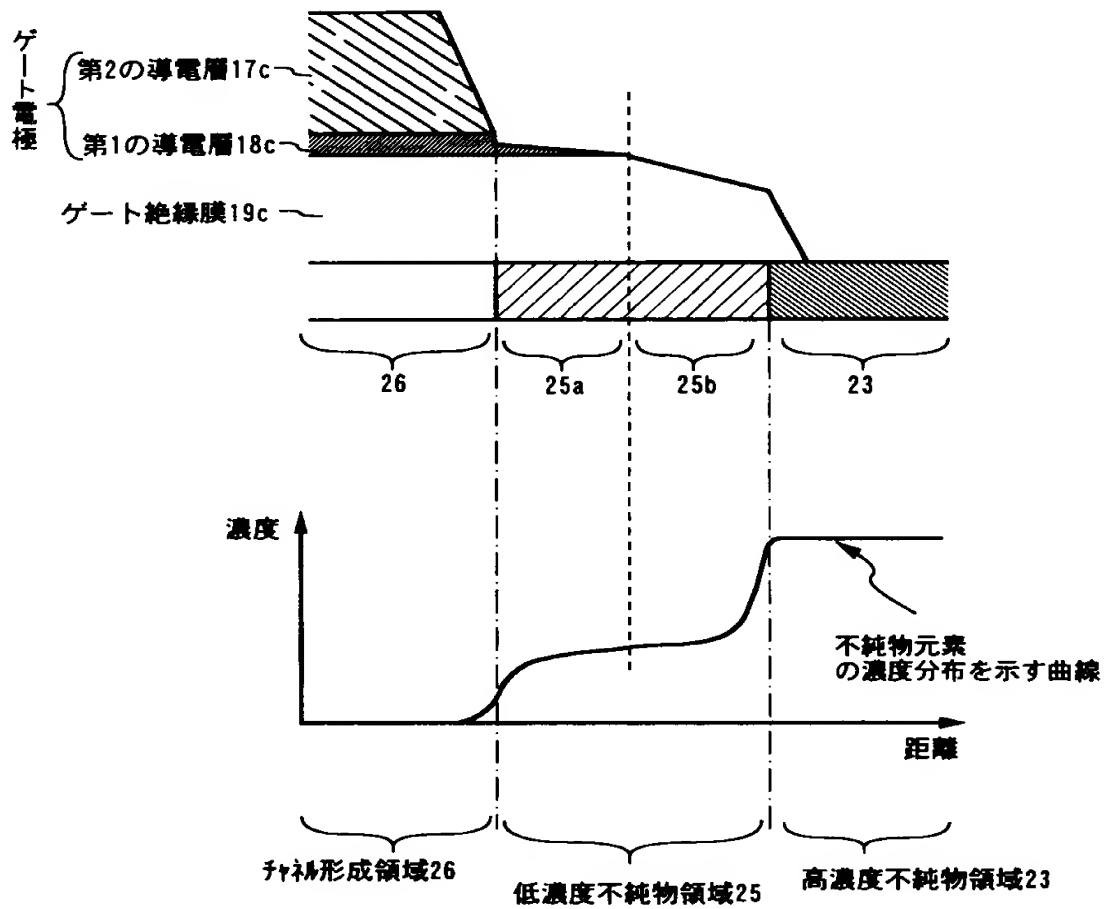
(C) 第4のエッチング工程



(D)

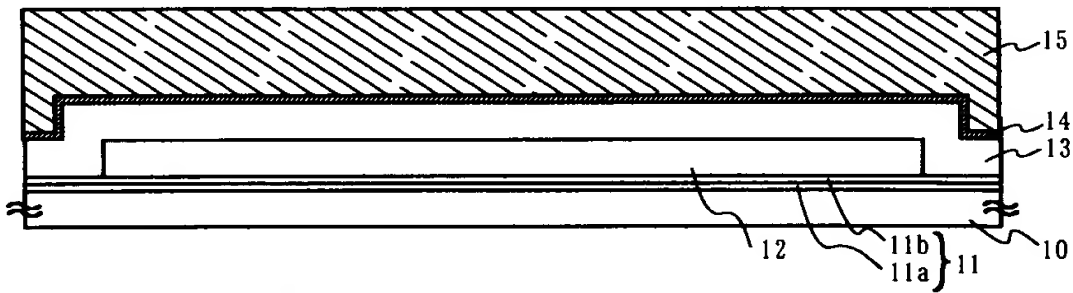


【図3】

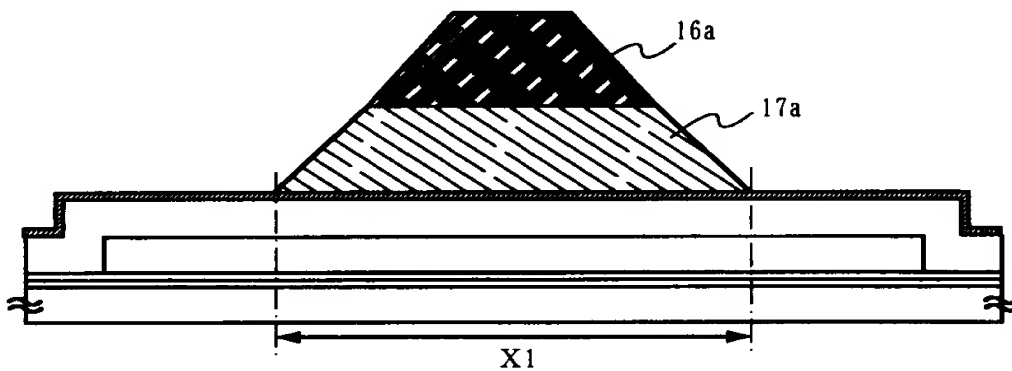


【図 4】

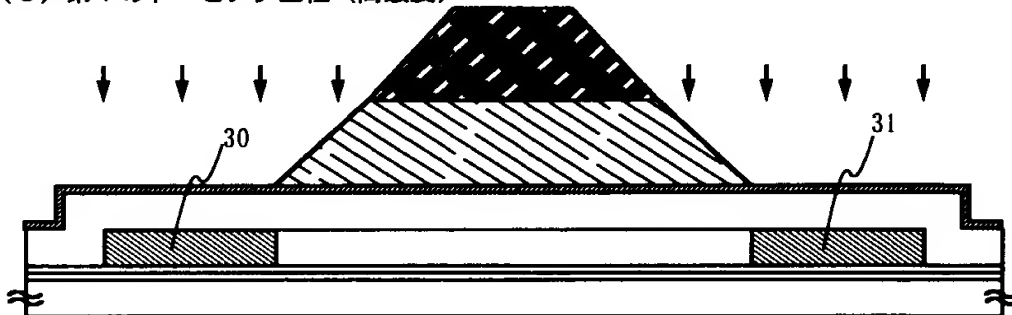
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



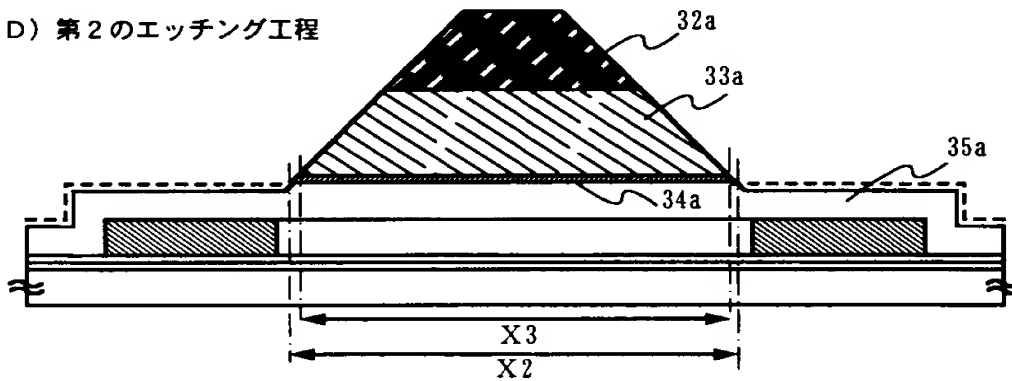
(B) 第1のエッチング工程



(C) 第1のドーピング工程（高濃度）



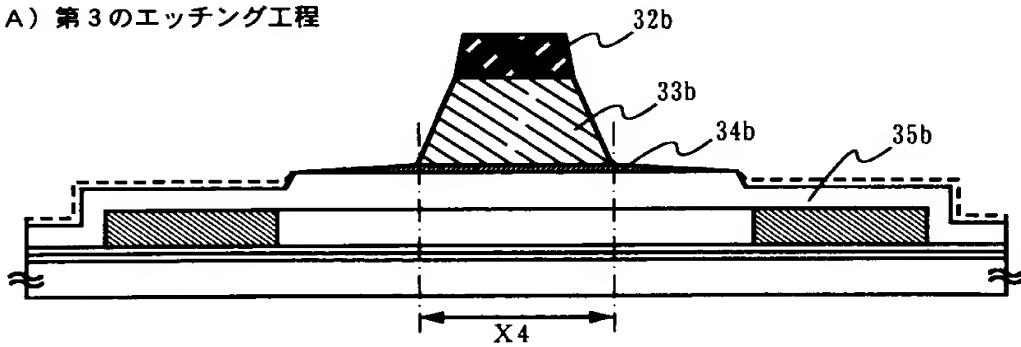
(D) 第2のエッチング工程



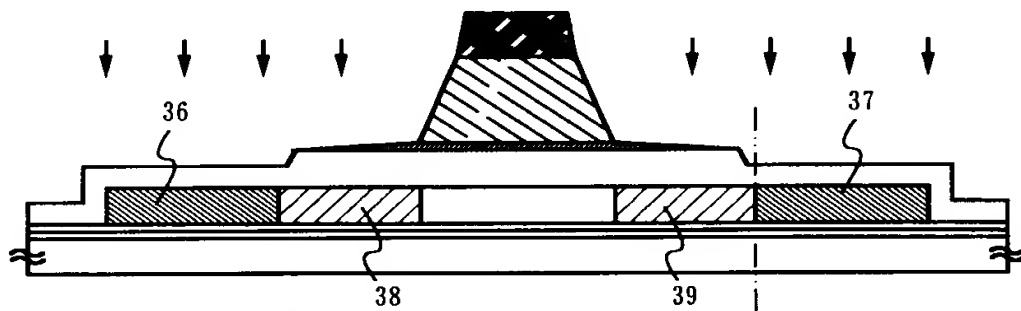


【図 5】

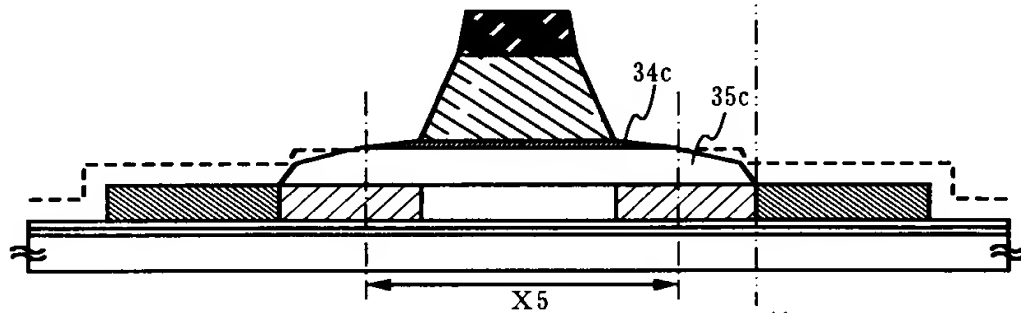
(A) 第3のエッチング工程



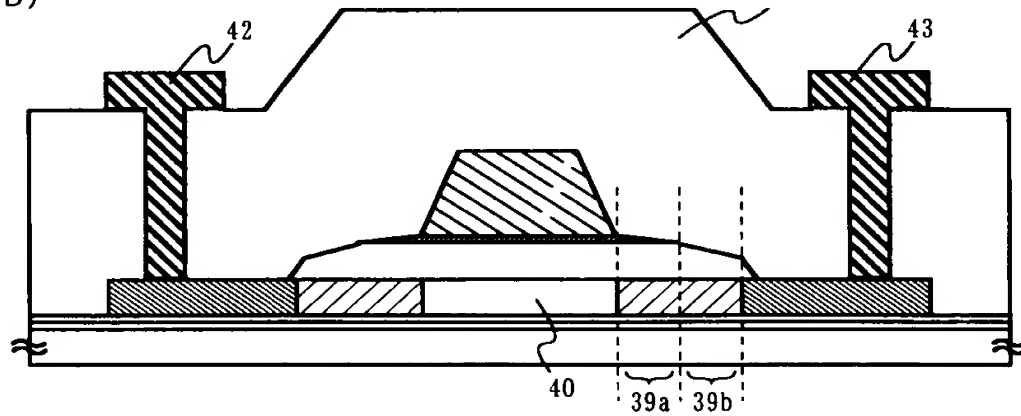
(B) 第2のドーピング工程（低濃度）



(C) 第4のエッチング工程

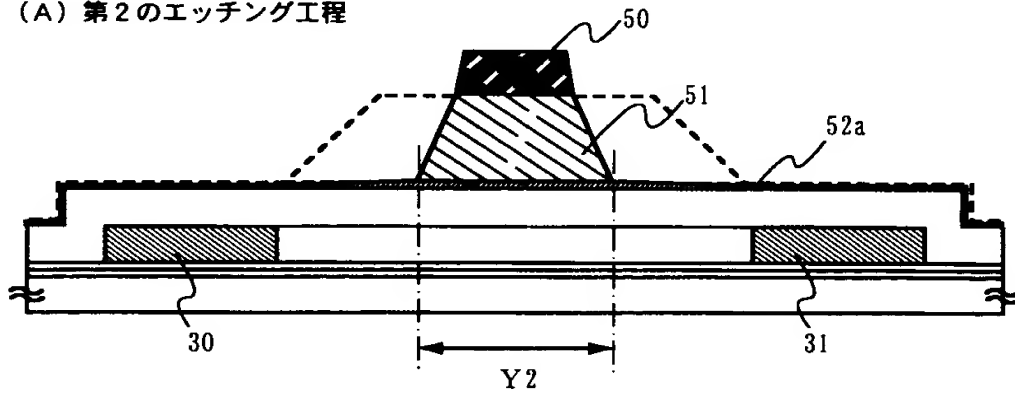


(D)

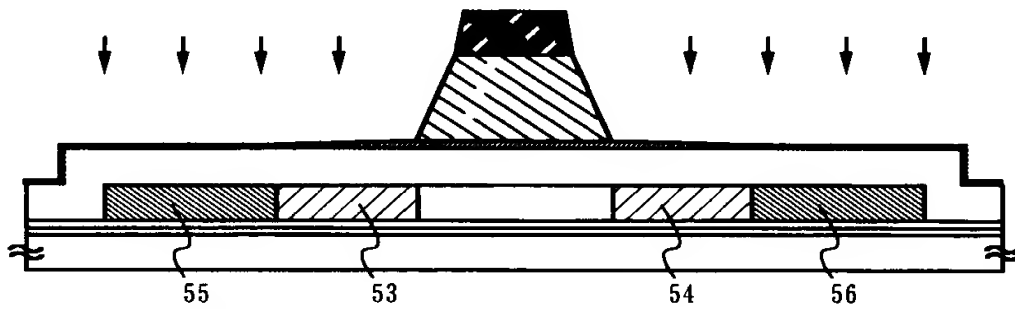


【図 6】

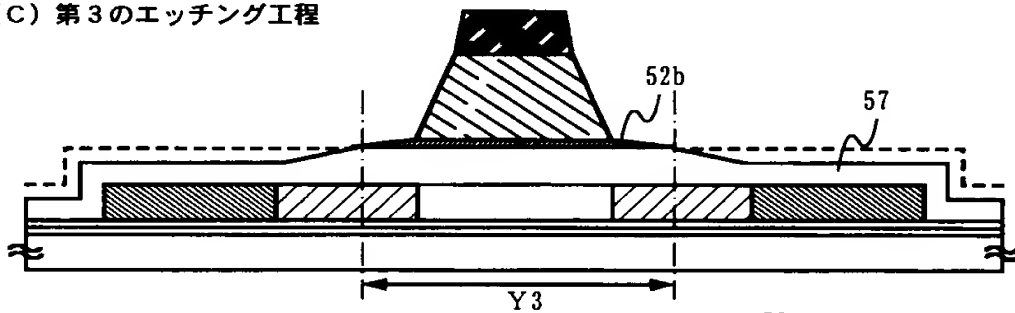
(A) 第2のエッチング工程



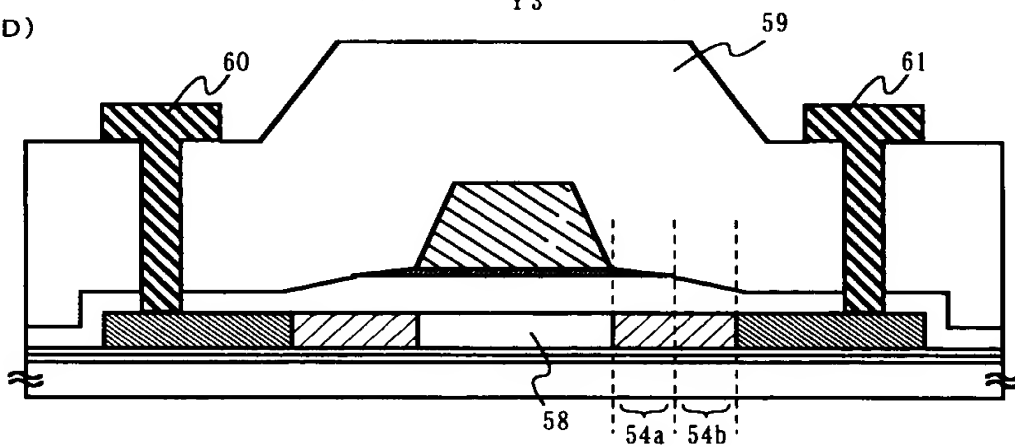
(B) 第2のドーピング工程 (低濃度)



(C) 第3のエッチング工程

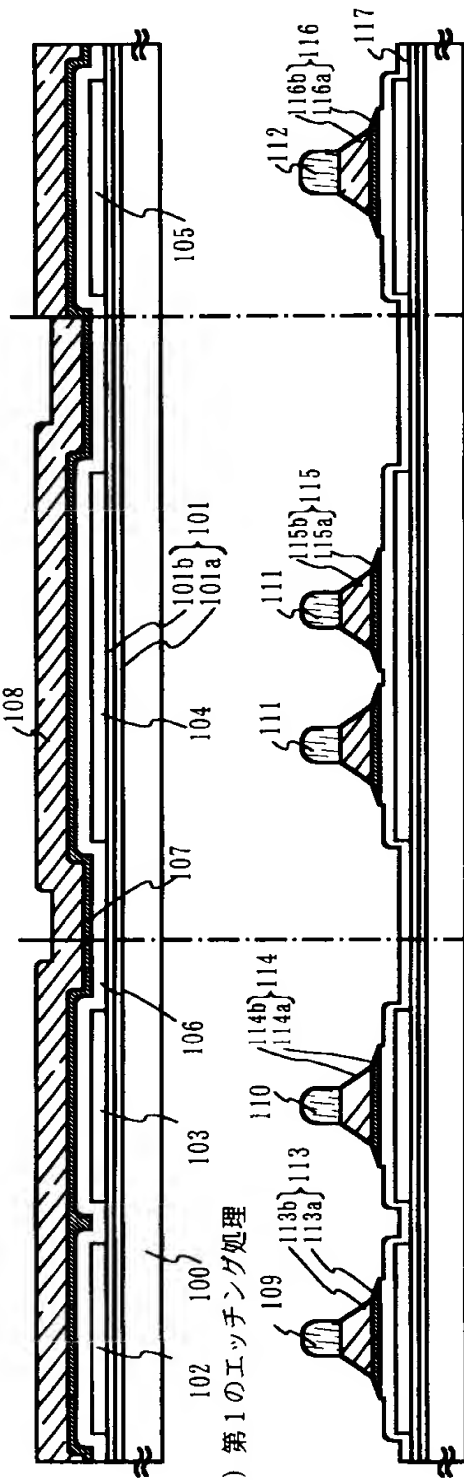


(D)

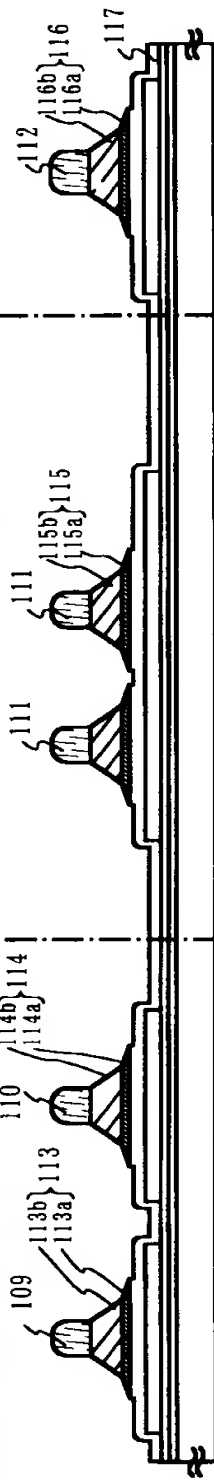


【図 7】

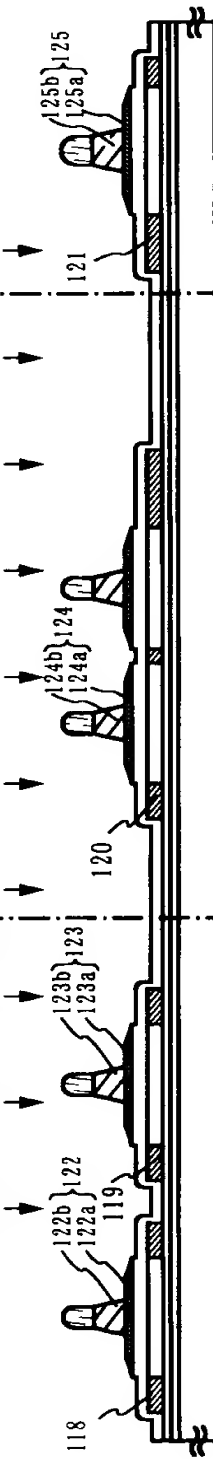
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



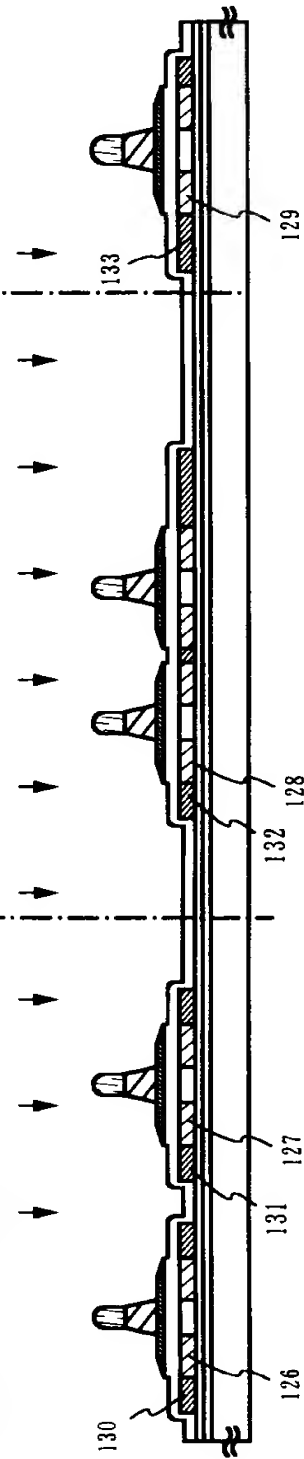
(B) 第1のエッチング処理



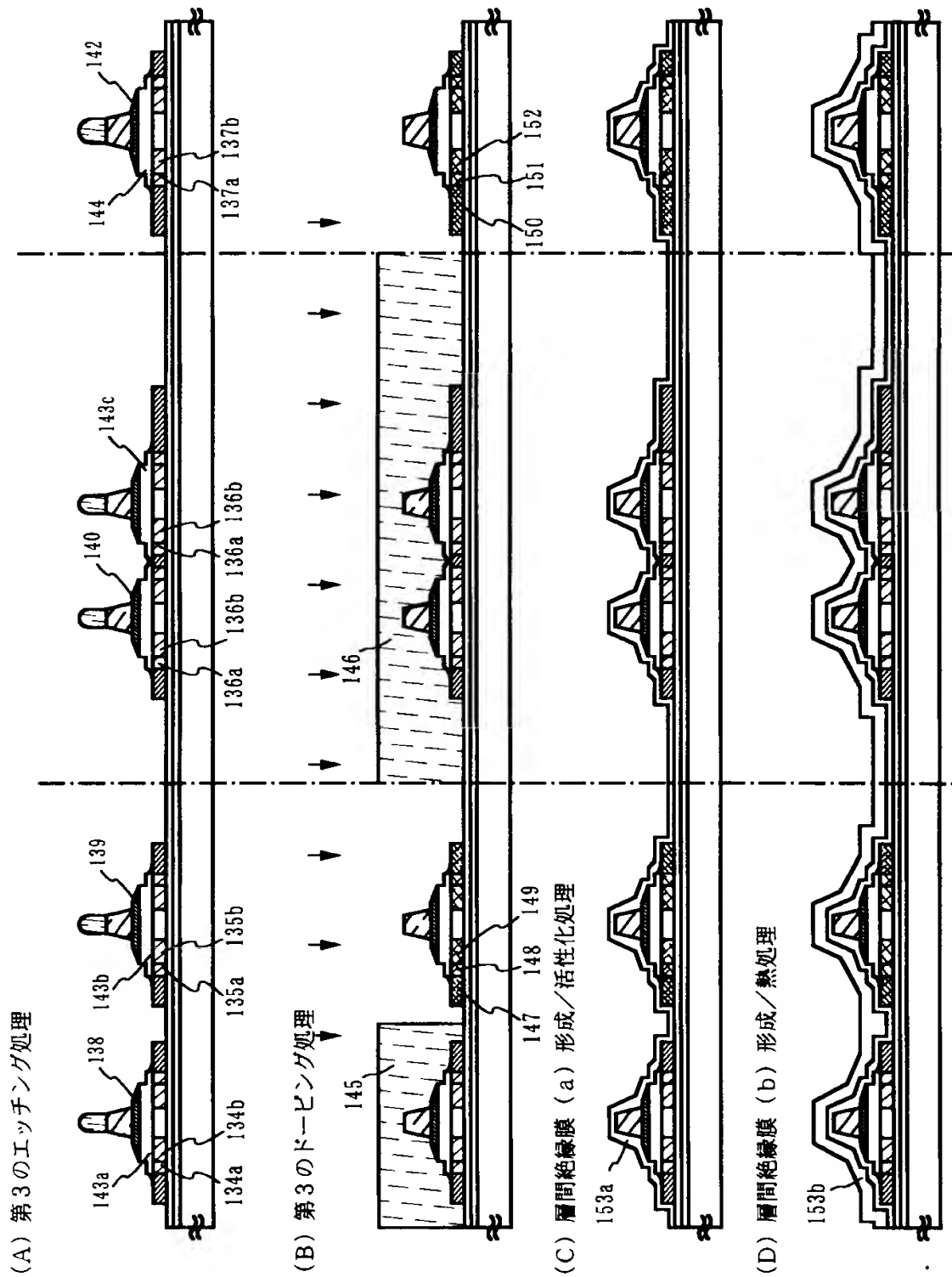
(C) 第2のエッチング処理／第1のドーピング処理



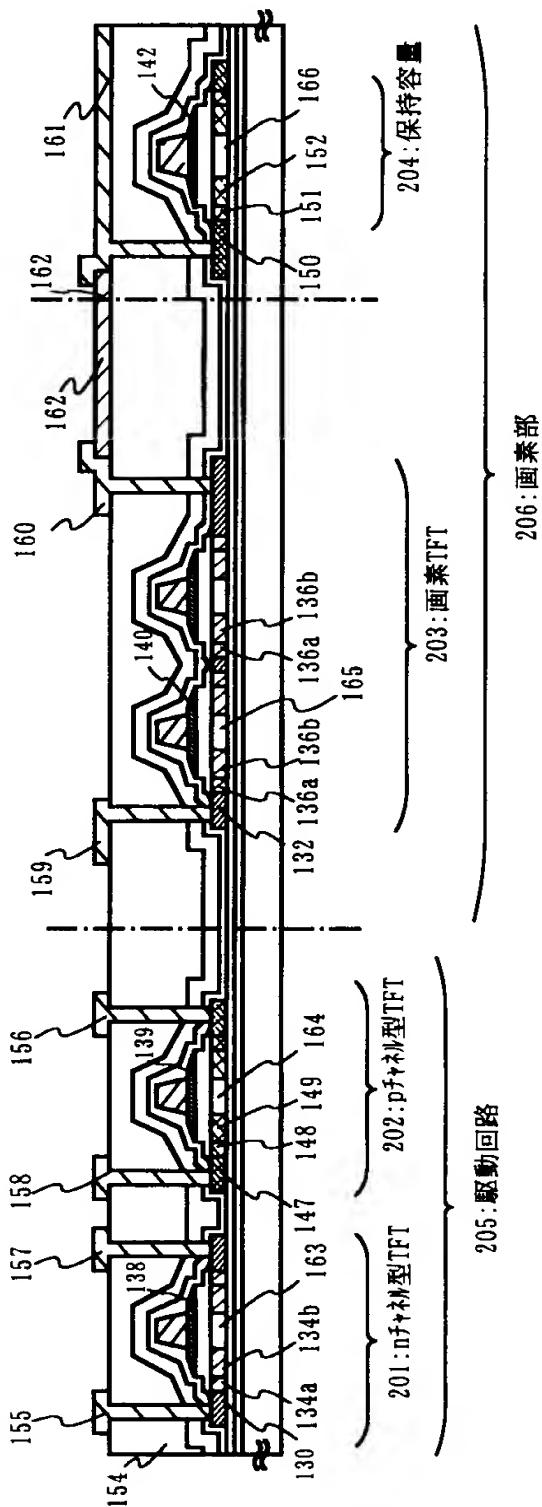
(D) 第2のドーピング処理



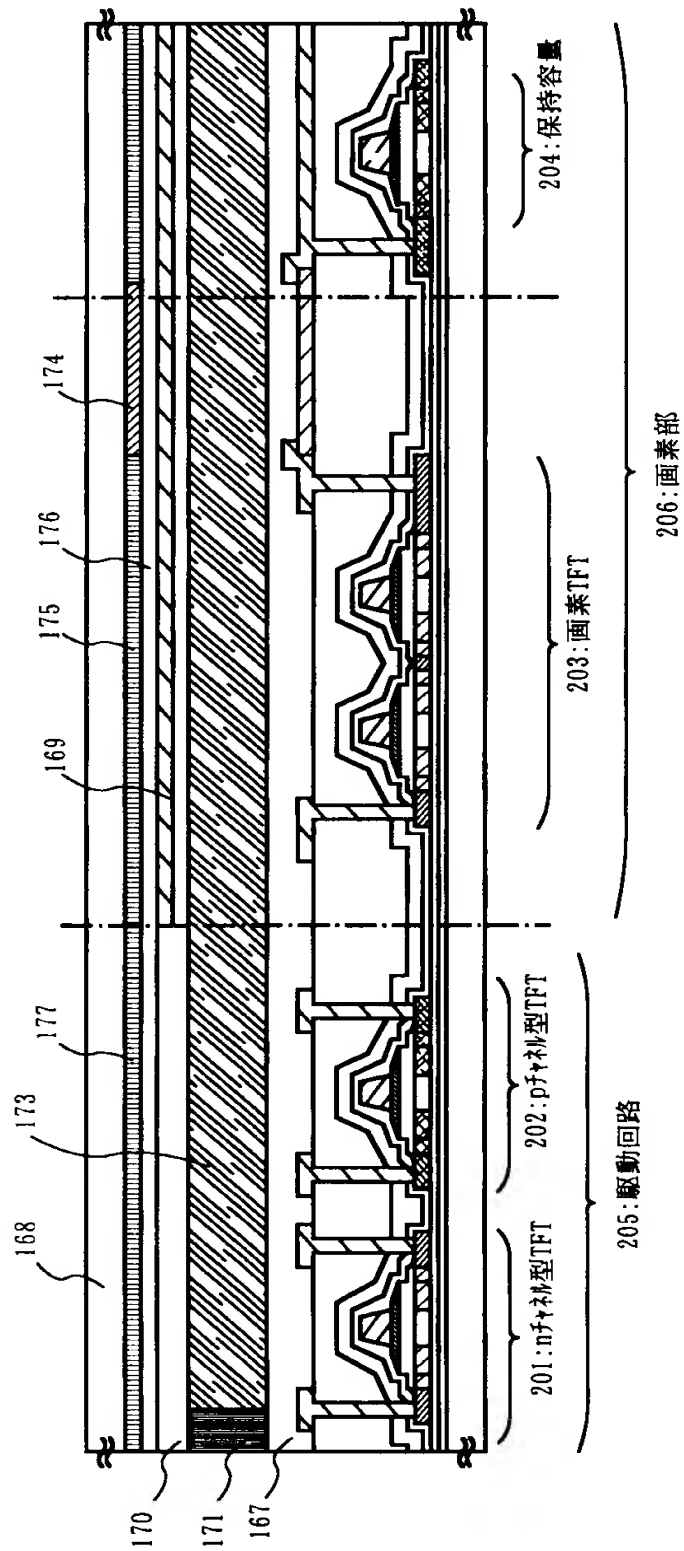
【図 8】



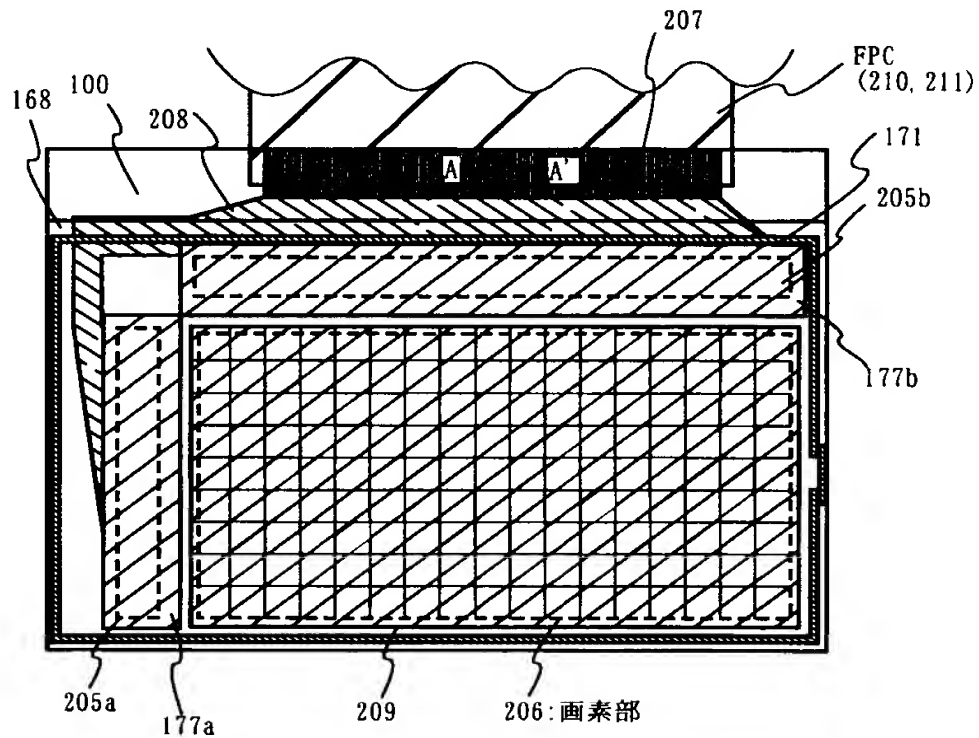
【図9】



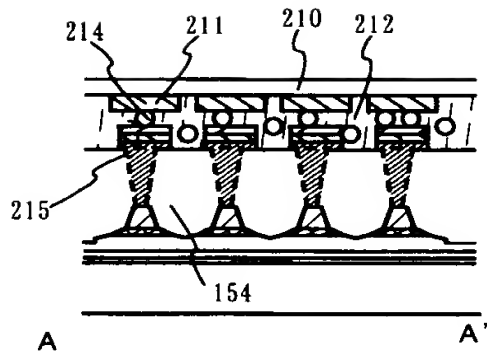
【図10】



【図 1 1】

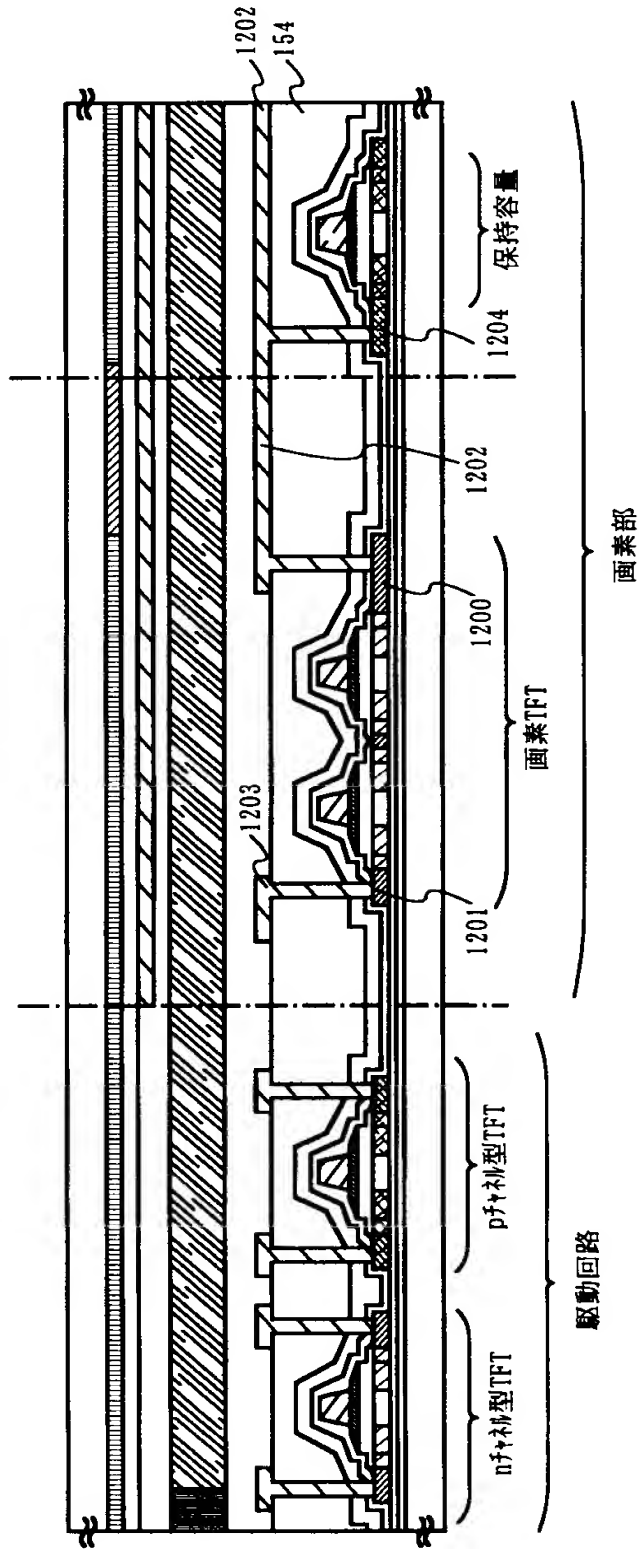


(A) 上面図



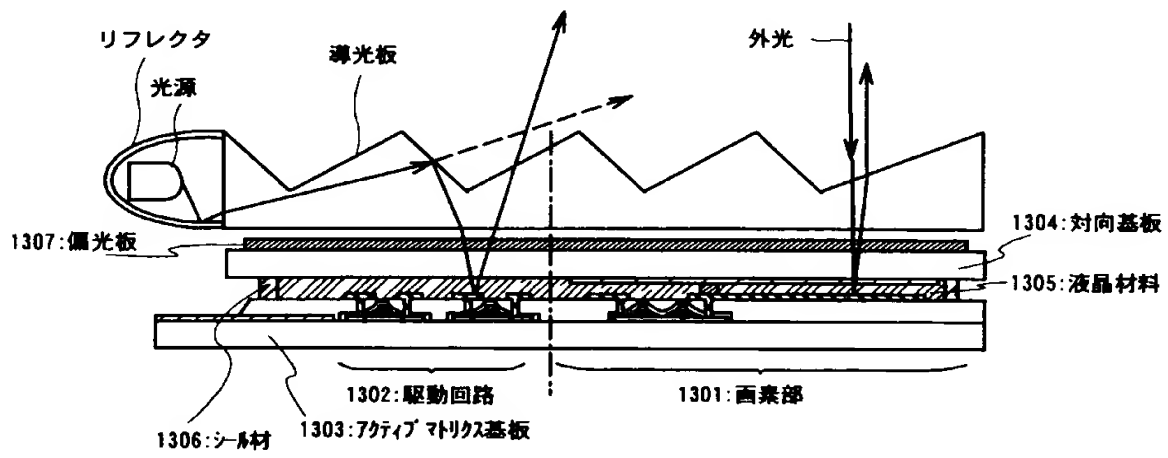
(B) A-A' 断面図

【図12】

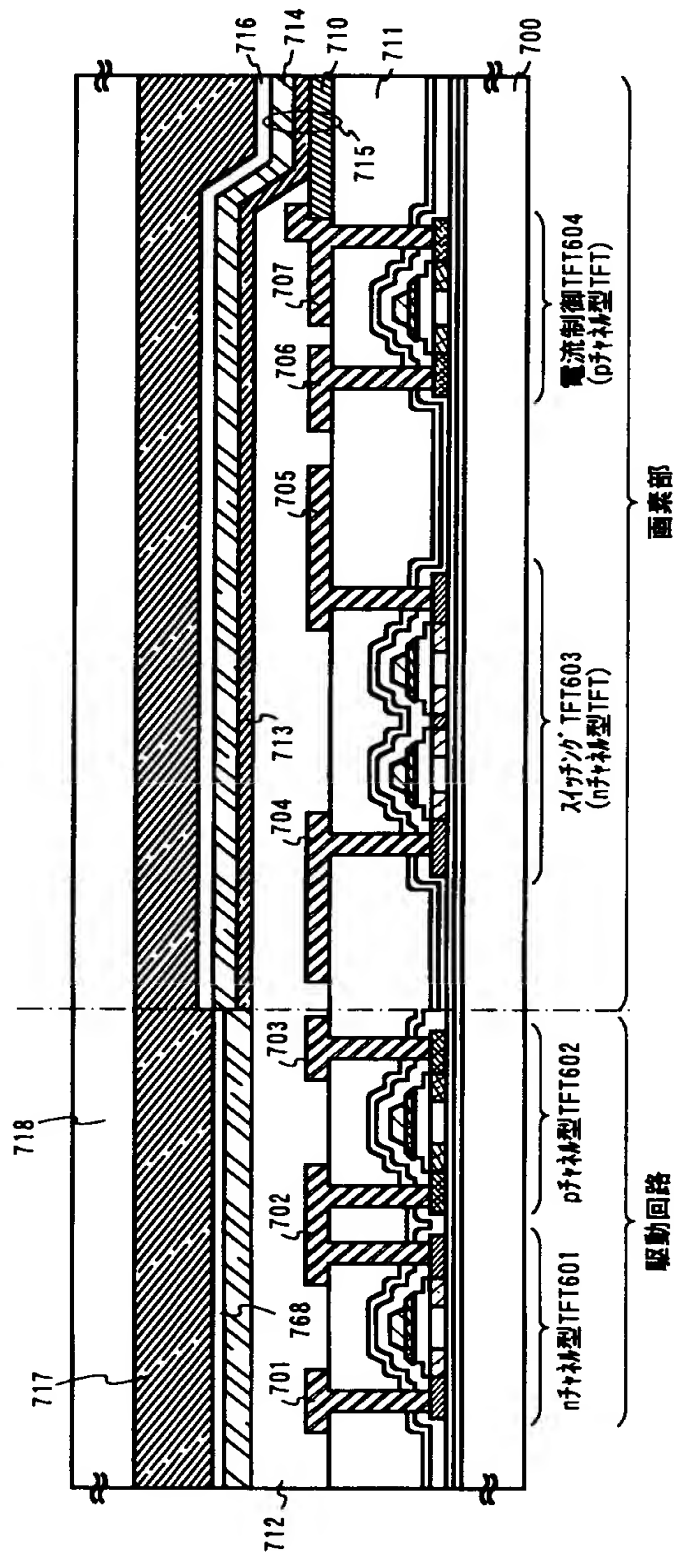




【図 13】

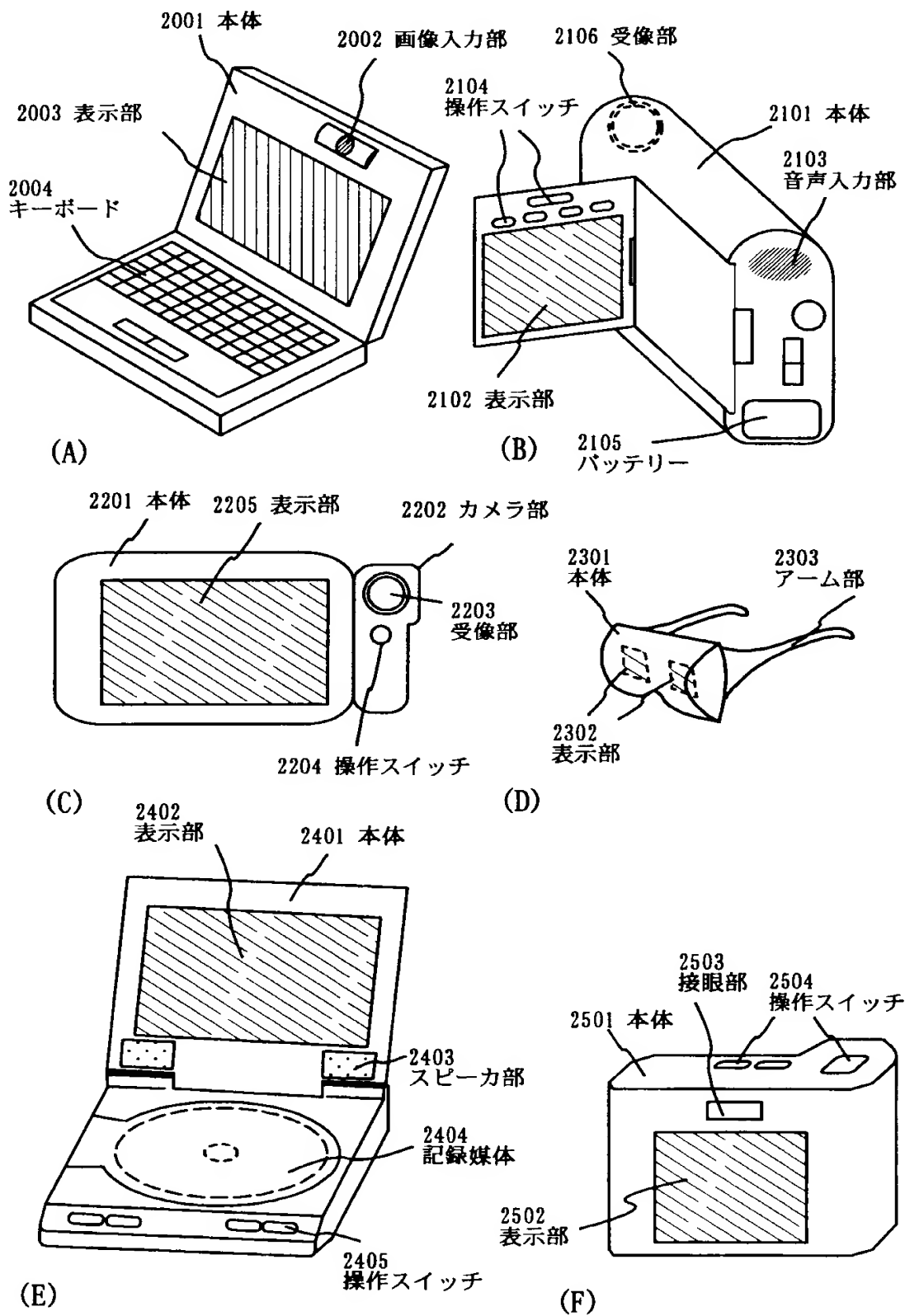


【図 14】

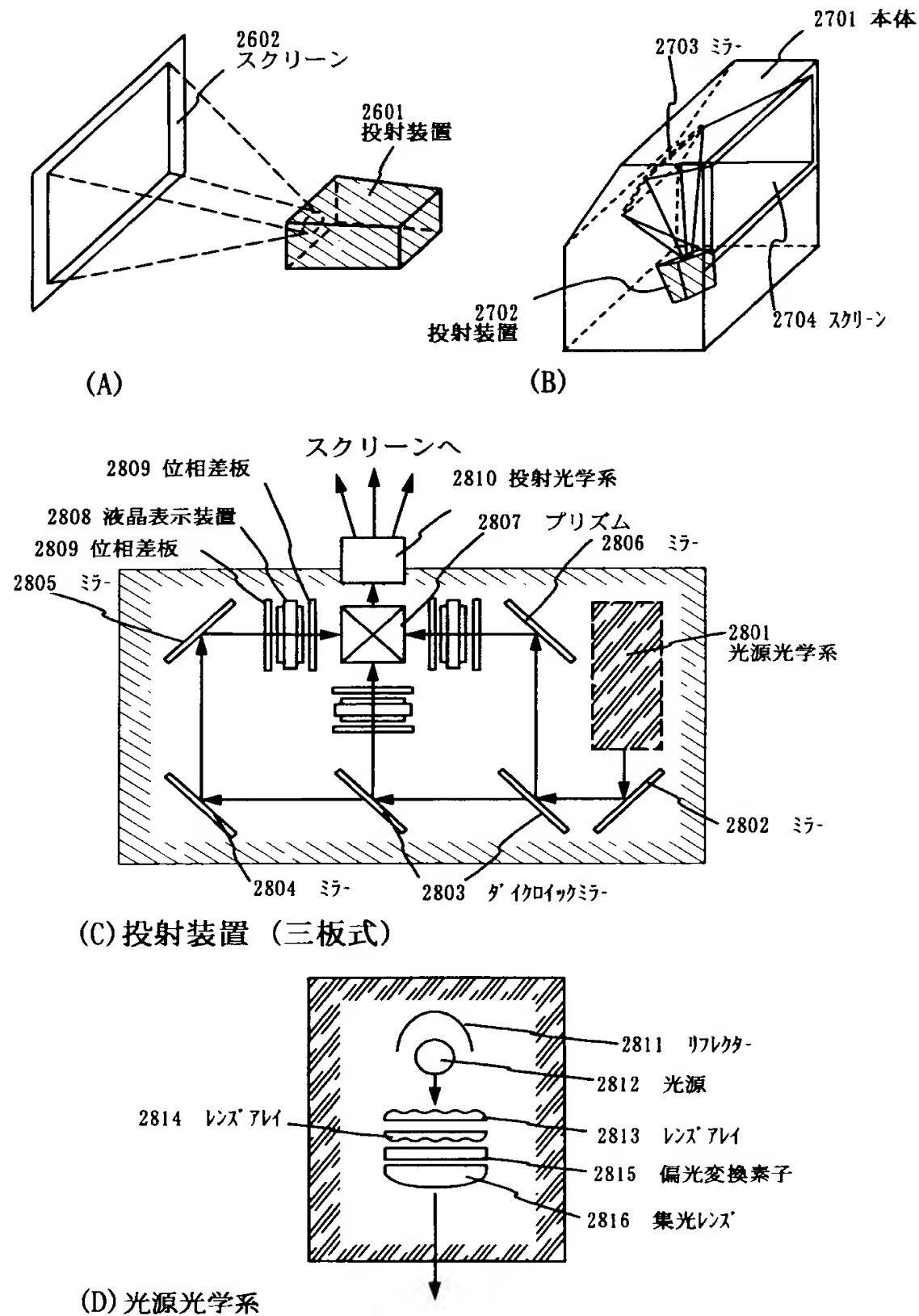




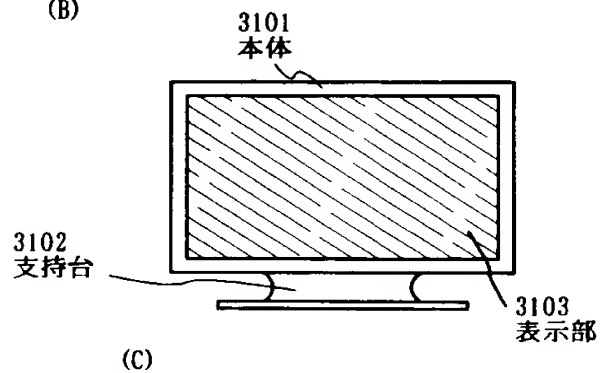
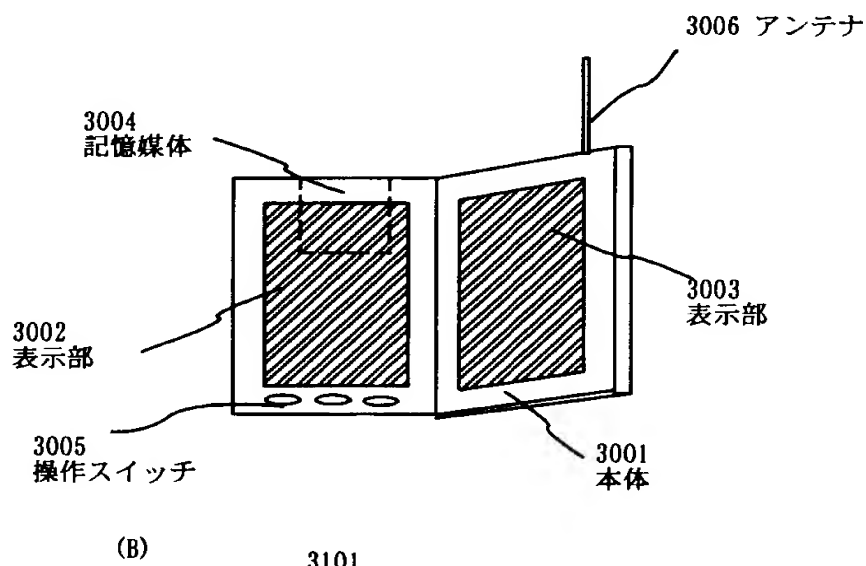
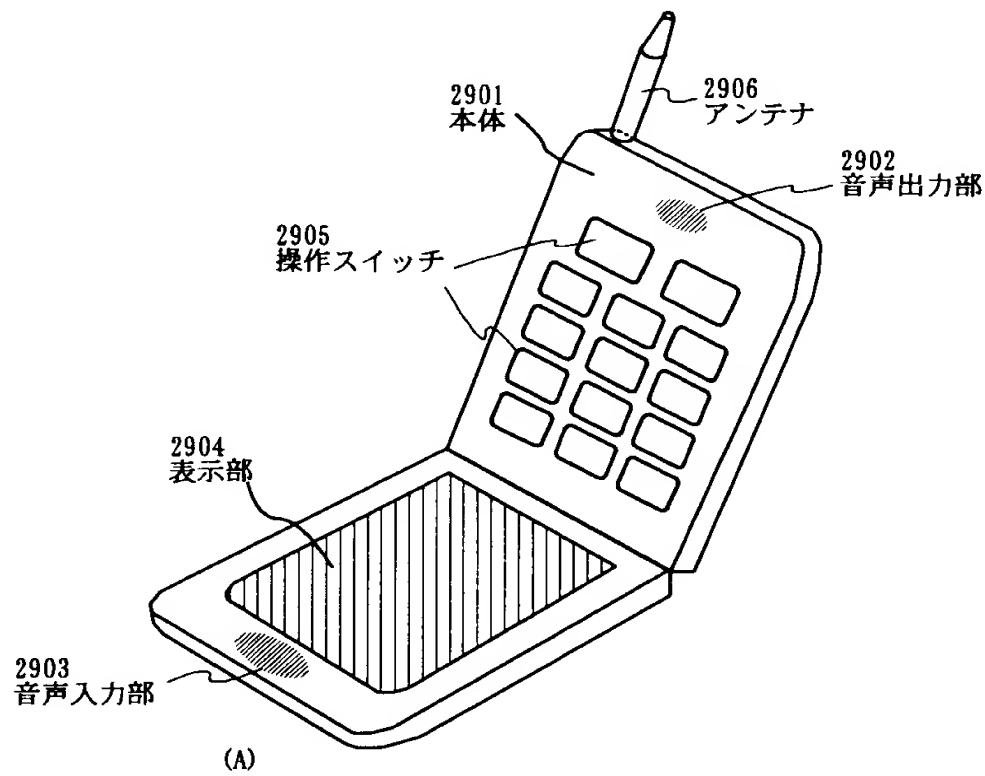
【図 16】



【図 17】



【図 1 8】



特 2 0 0 0 - 1 5 9 2 5 1



【書類名】 要約書

【要約】

【課題】 従来では、LDD構造を備えたTFTやGOLD構造を備えたTFTを形成しようとする、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。

【解決手段】

第1の導電層18bと第2の導電層17cとの積層からなる電極を形成し、第1のドーピング工程または第2のドーピング工程によって高濃度不純物領域22、23及び低濃度不純物領域24、25を形成した後、第1の導電層を選択的にエッチングすることによって、第1の導電層18cに重なる低濃度不純物領域25aの幅と、第1の導電層18cに重ならない低濃度不純物領域25bの幅とを自由に調節する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷 3 9 8 番地  
氏 名 株式会社半導体エネルギー研究所